

VEB Robotron Zentrum
für Forschung und Technik
FG Kleinrechner

Dresden, den 20. 5. 81

Vertrauliche Verschlussache	
DR I/9 - 3381	
14. Aufl.	52 Blatt

(Bl. 12)

Vollzähligkeit 1982 //

A b s c h l u ß b e r i c h t

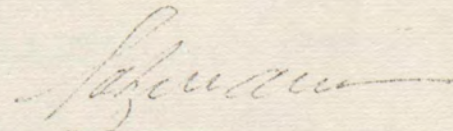
Thema: K 16N-System und -Prozessoren

Themen-Nr. 1607

Leistungsstufe: A 4

6/81

Vollzähligkeit 1981
VS-Inventur 1986 Ki


Dr. Salzmann
Themenverantwortlicher

Inhaltsverzeichnis

1. Grundsätzliche Ausgangspunkte und Vorgaben für die Themenbearbeitung
2. Arbeitsergebnisse zum Systementwurf K 1700
 - 2.1. Systemspezifische VLSI-Schaltkreise
 - 2.1.1. CPU-Schaltkreis U 840
 - 2.1.2. CMU-Schaltkreis U 841
 - 2.1.3. ARP-Schaltkreis U 842
 - 2.1.4. DMA-Schaltkreis U 843
 - 2.1.5. BCU-Schaltkreis U 844
 - 2.1.6. PSC-Schaltkreis U 845
 - 2.1.7. CIP-Schaltkreis U 846
 - 2.1.8. Bewertung zum internationalen Stand
 - 2.1.9. Bearbeitungsstufen und Pflichtenheftforderungen
 - 2.2. Das erweiterte Schaltkreisspektrum als Bestandteil und Grundlage des Systementwurfes /2.4/
 - 2.2.1. Speicherschaltkreise
 - 2.2.2. E/A-Schaltkreise
 - 2.2.3. Mittelintegrierte Schottky-TTL-Schaltkreise
 - 2.2.4. Standard-TTL-Schaltkreise
 - 2.2.5. Master-Slice-Schaltkreise
 - 2.3. Systembus K 1700
 - 2.3.1. Kurzcharakteristik
 - 2.3.2. Stand und offene Probleme
 - 2.4. Buscontroller
 - 2.5. Konstruktiv-technologisches Konzept
 - 2.5.1. Zur Aufgabenstellung
 - 2.5.2. Ergebnisse durchgeführter Studien
 - 2.5.3. Lösungsvorschlag
 - 2.5.4. Offene Probleme
 - 2.6. Speichermodulkonzept
 - 2.6.1. Modulsortiment
 - 2.6.2. Konzept des Operativspeichers mit DRAM
 - 2.6.3. Zeitverhältnisse
 - 2.7. Steckeinheitenmodulkonzept
 - 2.8. Zuverlässigkeitsfragen
 - 2.9. Rechnerbedienung
 - 2.10. Befehlsliste
 - 2.11. Kompatibilität
 - 2.12. MOS-Konzept
 - 2.13. Leistungsbewertung
 - 2.14. Entwicklungssystem
3. Stand und Ergebnisse der Schaltkreisentwürfe
 - 3.1. Technologische Schaltkreisbasis
 - 3.2. CPU-Schaltkreis U 840
 - 3.2.1. Bearbeitungsumfang und Schwerpunkte
 - 3.2.2. Rechenwerk und Registriersystem
 - 3.2.3. Bussteuerung
 - 3.2.4. Steuerwerk

- 3.2.5. Restelektronik
- 3.2.6. Mikroprogrammierung
- 3.2.7. Diagnoseunterstützung
- 3.2.8. Grobsimulation in SDL
- 3.2.9. Vorbereitende Arbeiten für nachfolgende Entwurfsstufen
- 3.2.10. Gesamteinschätzung
- 3.3. CMU-Schaltkreis U 841
- 3.4. ARP-Schaltkreis U 842
- 3.5. DMA-Schaltkreis U 843
- 3.6. BCU-Schaltkreis U 844
- 3.7. PSC-Schaltkreis U 845
- 3.8. CIP-Schaltkreis U 846
- 3.8.1. Bearbeitungsablauf
- 3.8.2. Variantenuntersuchung und Entscheidung
- 3.8.3. Bearbeitungsstand
- 3.8.4. Internationaler Stand
- 4. Einsatzmöglichkeiten von Hybridschaltkreisen
- 4.1. CMU-Multichip-Schaltkreis
- 4.2. Multichip-Speicherbaustein
- 4.3. Hybrid-Schaltkreise im E/A-System
- 4.4. Grundsatzfragen
- 5. Untersuchungen zu verbesserten E/A-Systemstrukturen
- 5.1. Perspektivisches E/A-Konzept
- 5.2. Entwurf einer Anschlußsteuerung im Folienspeicher
- 6. Koppeleinheiten für Multiprozessorsysteme
- 6.1. Entwurf KE 1520-1600
- 6.2. BKE K 1600-K 1600
- 6.3. Speicherkopplung
- 7. Multiprozessor- und Spezialsysteme
- 7.1. Fileprozessor
- 7.2. Assoziativspeicher
- 7.3. Gerätetechnisch unterstützte Sprachinterpretation
- 7.4. Zweiprozessorsystem K 1600
- 7.5. Parallelverarbeitung
- 8. Vertragliche Zusammenarbeit
- 9. Internationale Zusammenarbeit
- 10. Verzeichnis der Berichte und Materialien zum Thema K 16N-System und -Prozessoren
- Anlage 1 - Veröffentlichungen
- Anlage 2 - Patentanmeldungen

1. Grundsätzliche Ausgangspunkte und Vorgaben für die Themenbearbeitung

Grundlage für die Themenbearbeitung und die Abrechnung der A 4-Leistungen sind

- das Pflichtenheft Teil I, VD ZFT/E 342/4/79
- das Pflichtenheft Teil II, VD ZFT/E 342/5/79
- die Festlegungen der A 2-Kontrollberatung gemäß Protokoll VD ZFT/E 34/54/80 und VD RKL/68/80
- die Festlegungen weiterer Problem- und Leitungsberatungen
- die "Konzeption zur Entwicklung und Bereitstellung von Mikrorechnern der 3. Generation..." (VVS DR I/63-67/79).

Demzufolge bestand die Hauptaufgabe der Themenarbeit im

- Systementwurf des 16 bit-Mikro- und Kleinrechnersystems K 1700 auf der Grundlage von VLSI-Schaltkreisen einschl. Bussystem und rechnerinterne Schnittstellen
- Vorschlag des Befehlssatzes
- Grobentwurf des Prozessorschaltkreises
- Vorläuferarbeiten zur Mehrprozessorkopplung und für anwendungsspezifische Mehrprozessor-Lösungen.

Wesentliche Vorgaben und Forderungen für K 1700 waren:

- 16 bit-Binchip-Prozessor
- mindestens fünffach höhere Grundgeschwindigkeit als K 1620
- Schaltkreissatz und Systemkonzept geeignet für die Realisierung von
 - . Einsteckeinheitenrechnern (ESR)
 - . Steckeinheitenmodulsystem (SMS)
 - . Kleinrechnersystemen (KRS)
 und damit geeignet als generelle Schaltkreisbasis für DEKK II
- Nutzbarkeit der Peripherie-Schaltkreise der 8 bit-Linie und des 8 bit-Binchip-Mikrorechners
- minimale Zahl von neu zu entwickelnden LSI- und VLSI-Schaltkreisen
- Kompatibilität zum K 1600 und SKR auf Anwenderprogrammebene
- Beitrag der DDR zum perspektivischen SKR.

Vor Erreichen der Stufe A 2 wurde im 1. Halbjahr 1980 ein neues leistungsfähiges Modell der Vergleichsrechnerreihe herausgebracht und eine Befehlssatzerweiterung vorgenommen. Entsprechend getroffener Leitungsfestlegung wurden die Leistungsanforderungen für das System K 1700 um den zusätzlichen kommerziellen Befehlssatz CIS erweitert.

Bedingt durch die Notwendigkeit einer komplexen Systembearbeitung und durch Vergrößerung der Bearbeitungs Kapazität, erhöhter Leistung der Mitarbeiter sowie Erweiterung der Mitarbeit anderer Struktureinheiten wurden hinsichtlich Bearbeitungsbreite und -tiefe wesentliche, über die Pflichtenheftforderungen hinausgehende Mehrleistungen erbracht.

2. Arbeitsergebnisse zum Systementwurf K 1700

2.1. Systemspezifische VLSI-Schaltkreise

Eine Teilaufgabe des Systementwurfs bestand in der Bestimmung der logisch-funktionellen Eigenschaften der systemspezifischen großintegrierten Schaltkreise "KIOS-Technologie" mit den im Punkt 1. genannten Forderungen und insbesondere mit der Zielstellung der Nutzbarkeit in Minimal-konfigurationen sowie in leistungsfähigen Kleinrechnersystemen einschl. der einsatzspezifischen Konfigurierbarkeit durch beliebige Anwender in nicht kleinrechnertypischen Erzeugnissen. Eingeschlossen ist die Festlegung des Funktionsumfangs und des logisch-funktionellen Zusammenwirkens der Schaltkreise in Übereinstimmung mit den technologischen Realisierungsmöglichkeiten.

Dementsprechend wurde folgende Schaltkreisfamilie aus sehr komplexen, funktionell weitgehend abgeschlossenen Einheiten konzipiert.

2.1.1. CPU-Schaltkreis U 840

- Einchip-Basisprozessor mit 16 bit Rechenwerk in 48-poligem Gehäuse
- 16 Universalregister mit 16 bit Breite, davon 3 Hardware-Stackpointer, 1 Programmzähler
- Sonderregister entsprechend Vergleichsrechner, Modell 70
- 3 Betriebsmodi (Kernel, Supervisor, User)
- Unterscheidung von Befehls- und Datenraum
- 16 bit virtuelle Adresse, Anschlußmöglichkeit für Speichermanagement zur Speicherräumerverweiterung bis 4 MByte
- 12 Adressierungsmodi
- Datenformate: 8 bit, 16 bit, Zweier-Komplement, Festkomma
- Befehlssatz entsprechend Vergleichsrechner, Modell 44 und Zusatzbefehle (Blocktransfer, Bit- und Verschiebefehle)
- Anschlußmöglichkeit für Einchip-Koprozessoren zur Befehlssatzerweiterung für Gleitkomma-, Dezimal- und Zeichenkettenbefehle
- 8 MHz Grundtakt
- 250 ns Mikrobefehlszyklus
- 500 ns Register-Registeroperation bei fortlaufender Befehlsabarbeitung (7x kürzer als K 1620)
- präventiver Befehlsaufruf und überlappte Befehlsabarbeitung zur Gewährleistung einer nahezu lückenlosen Busbelegung
- Multiprozessorunterstützung durch speziellen Buszyklus, bei dem zwischen Eingabe- und Ausgabezyklusgewährung der Busmasterschaft verhindert wird
- CPU-Bus (gleichzeitig Systembus bei Minimalkonfigurationen):
 - . 16 A/D-Leitungen
 - . Steuersignal äquivalent zu Systembussignalen
 - . Zusatzsignale zum Anschluß von CMU, ARP und CIP
 - . Direktanschluß von systemspezifischen E/A-Schaltkreisen ohne Treiber und Zusatzlogik.

2.1.2. CMU-Schaltkreis U 841

- Speicherverwaltungseinheit und Pufferspeicher vom Typ Cache, 64-poliges Gehäuse
- Realisiert die Umsetzung von 16 bit-virtuellen Adressen in 22 bit-physikalische Adressen für einen Speicherraum bis 4 MByte
- Gewährleistet den Schutz der Speicherdaten gegen Zerstörung und unbefugte Benutzung
- Enthält 6 Registersätze zu je 16 Registern von 16 bit Breite zur Speicherung der Basisadressen und der Zugriffsattribute sowie weitere Sonderregister
- Enthält einen Cache-Speicher für 256 Datenworte und zugehörigen Etikettenteil von ebenfalls 256 Worten zur Verringerung der effektiven Hauptspeichierzugriffszeit
- Ermöglicht die Zusammenschaltung von 4 Schaltkreisen bzw. Chips zur Vergrößerung der Cache-Kapazität auf 2 kByte, um die effektive Hauptspeichierzugriffszeit um 30 bis 50 % zu verkürzen.

2.1.3. ARP-Schaltkreis U 842

- Einchip-Koprozessor für Gleitkommabefehle, 40-poliges Gehäuse
- Gleitkommabefehlssatz mit 46 Befehlen entsprechend Vergleichsmodell
- Verarbeitung von Gleitkommazahlen einfacher (32 bit) und doppelter (64 bit) Genauigkeit
- Systemeinbindung über Direktanschluß an internen (CPU)-Bus und 3 zusätzliche CPU-Steuersignale
- Verarbeitungsgeschwindigkeit voraussichtlich für
 - MUL, DIV um 15 µs
 - ADD, SUB um 6 µs
 - bei ALU-Verarbeitungswerk.

2.1.4. DMA-Schaltkreis U 843

- Programmierbarer Peripherieschaltkreis für DMA-Betriebsweise und zur Anpassung systemfremder E/A-Schaltkreise an den Systembus K 1700 (siehe Bild 2.3), 64-poliges Gehäuse
- Quasi-Busumsetzung für E/A-Schaltkreise der U 85K- und Intel-Serie
- Maximal 8 E/A-Schaltkreise anschließbar, programmiert oder im DMA betreibbar
- Maximal 16 DMA-Kanäle
- 1 DMA-Kanal bevorzugt für Hochgeschwindigkeitsübertragung (Plattensteuerung)
- Internes Datenpacken
- Anschlußmöglichkeit des IIR U 801/82
- Realisierbarkeit eines DMA-fähigen IFSP-Kanals
- Einsatzmöglichkeit für Prozessor- und Rechnerkopplung durch Verwendung mehrerer DMA-Schaltkreise, Ersatzlösung für BCU.

2.1.5. DDU-Schaltkreis U 844

- Schnelle Buskoppereinheit mit blockorientierter Parallelübertragung für Rechner- bzw. Prozessor-Nahkopplung, 64-poliges Gehäuse (Schaltkreisentwicklung nicht bilanziert)
- Systembusanschluß wählbar für K 1700 oder K 1520
- Programmiert oder im DMA-Verkehr in Verbindung mit DMA-Schaltkreis U 843 betreibbar
- Mehrpunktfähigkeit durch systembusunabhängigen Koppelbus (22 Leitungen) für die Verbindung von 2 aus maximal 15 gleichberechtigten Teilsystemen
- Übertragung blockorientiert und weitgehend nach logischem Protokoll, bis 4 KWorte pro Auftrag
- Wortparallele, synchrone Übertragung mit maximal 1 MWort/s
- 32 Wort-FIFO-Puffer jeweils für Sende- und Empfangsrichtung zum Ausgleich von Wartephasen
- Meldung besonderer Zustände und Alarmsituationen.

2.1.6. PSC-Schaltkreis U 845

Ein Schaltkreiskonzept liegt noch nicht vor, so daß die folgenden Angaben als technische Forderungen zu verstehen sind. Die Schaltkreisentwicklung ist nicht bilanziert. Zielstellungen für die Bearbeitung sind:

1. Parallel-Serienwandlung zur Bildung eines Linien- und/oder Sterninterfaces mit Zweidrahtcharakteristik für die Übertragung auf Doppelleitungen, Koaxial- oder Lichtleiterkabel
2. Bitserielle, blockorientierte Übertragung nach standardisiertem Protokoll
3. Systemschnittstelle auf hohem logischem Niveau zur maximalen Entlastung des Systemprozessors vom Übertragungsablauf
4. Realisierbarkeit unterschiedlicher Übertragungsprotokolle einschl. DPU-Prozeduren mit HDLC, SDLC, X25
5. DMA-Fähigkeit, hohe Übertragungsraten für einen mittleren Entfernungsbereich bis 3 km
6. Hohe Fehlersicherheit
7. Einsetzbarkeit für
 - die Verbindung von Rechnerkomplexen in dezentralen Verarbeitungs- und Steuerungssystemen
 - die Rechner-Rechnerkopplung
 - den Terminalanschluß
 - den Anschluß von Peripheriegeräten und externen Speichern.

2.1.7. CIP-Schaltkreis U 846

- Einchip-Koprozessor für den kommerziellen Befehlssatz CIS, 40-poliges Gehäuse
- CIS-Befehlssatz mit 27 Befehlen für Zeichenketten- und Dezimalverarbeitung entsprechend Vergleichsmodell
- Systemeinbindung über Direktanschluß an internen (CPU)-Bus und 3 zusätzliche CPU-Steuersignale, von denen 2 auch für die ARP-Steuerung genutzt werden.

2.1.8. Bewertung zum internationalen Stand

Die nachfolgende Gegenüberstellung zeigt, daß wesentliche Parameter des Schaltkreissatzes U 84 sich am internationalen Stand messen können oder diesen übertreffen. Allerdings führt die schnelle Entwicklung der mikroelektronischen Schaltkreistechnologie dazu, daß bereits schnellere Versionen der Prozessoren herausgebracht oder angekündigt wurden, so die 8 MHz-Variante des I 8086, die 6 MHz-Variante des Z 8000 und eine noch schnellere Variante als Z 8003 oder Z 9000.

Merkmale	U 84	ISI-11/23	I 8086	Z 8000	MC 68000	NS 16016	NS 16032
CPU-Realis.	Einchip	Zweichip-hybrid	Einchip	Einchip	Einchip	Einchip	Einchip
Gehäuse	48-pol. (64)		40-pol.	48-pol.	64-pol.	40-pol.	48-pol.
Reg.-Reg.Bef.	0,5 µs	1,72 µs	0,8 µs	0,75 µs	0,5 µs		0,4 µs(0,3 µs?)
Reg.Satz CPU	2x8(16bit)	8(16bit)	8(16bit)	16(16bit)	17(32bit)	2x8(16bit)	8(32bit) 6(24bit) 2(16bit)
Adreßmodi CPU	12, belieb. verwendb.	12, belieb. verwendb.	5, einges. je n. Bef.	8, einges. je n. Bef.	14, einges. je n. Bef.	9, belieb. verwendb.	9, belieb. verwendb.
Dir.adr. CPU	8x64KByte	64KByte	1MByte u. 4 Seg.Reg.	16KByte (Z8002) 8MByte (Z8001) u. Segment.	16MByte	64KByte	16MByte
Adr.m.Speich. management	4MByte (Einchip-realisiert.)	256KByte (Einchip-realisiert.)	-	16MByte (Einchip-realisiert.)	16MByte (Einchip-realisiert.)	16MByte (Einchip-realisiert.)	16MByte (Einchip-realisiert.)
Prozessormodi	3	2	1	2	2	2	2
Koproz. f. Befehlserw.	GK-Proz. (Einchip) CIS-Proz. (Einchip)	GK-Proz. (Zweichip Hybrid)	GK-Proz. (Einchip) Proz.f.math. Stan.funkt.	-	-	GK-Proz. (Einchip)	GK-Proz. (Einchip)
Cache	512 Byte in CPU, aufr. b. 2KByte	-	-	-	-	-	-

Tabelle 2.1: Weltstandsvergleich 16 bit-Mikroprozessoren (NS 16000 für 1981 angekündigt)

Internationale Schaltkreissysteme verfügen über ein wesentlich breiteres Schaltkreisspektrum insbesondere an E/A-Schaltkreisen, während Koprozessoren bisher nur bei Intel verfügbar sind. Beispielsweise sollen für das System M 68000 16 Schaltkreise geschaffen werden. 12 weitere Schaltkreise sind aus dem 8 bit-System M 6800 nutzbar. International nicht vorhanden sind bisher

- Koprozessoren mit dem CIS- oder ähnlichem Befehlssatz
- Schaltkreise mit der Kombination Speichermanagement und Cache
- leistungsfähige VLSI-Schaltkreissysteme, die unmittelbar ein solch bewährtes umfangreiches leistungsfähiges Softwarepaket nutzen können wie das beim U 84 der Fall ist.

Diesbezüglich ist das U-84-Konzept weltstandsbestimmend. Die Realisierbarkeit der projektierten Parameter hängt entscheidend von der Leistungsfähigkeit der nSGT-Technologie und der Beherrschung des Schaltkreisentwurfsprozesses ab.

2.1.2. Bearbeitungsstufen und Pflichtenheftforderungen

Als erste Entwurfsstufen eines Schaltkreises wurden definiert:

- Grobkonzept (Lösungsvarianten, Funktionsumfang, zu erreichende Hauptparameter)
- Grobentwurf (Blockstruktur, Hauptparameter auf der Grundlage von Grobabschätzungen)
- Logisch-funktionelles Konzept 1 (LFK1) (logisch-funktionelle Beschreibung auf Registerniveau, vollständiges Schaltbild auf Block- bzw. Registerniveau, Anschlußbeschreibung und Zeitabläufe, Einschätzung der technologischen Realisierbarkeit).

Das LFK1 ist in Form der Schaltkreiskeite die erste verbindliche Übergabeleistung an das Entwurfs-kollektiv des Transistorlogikplanes (TLP) und stellt den offiziellen Beginn dieser Entwurfsstufe dar.

Im Pflichtenheft wurde nur der Grobentwurf des CPU-Schaltkreises gefordert. Zur Erreichung eines geschlossenen Systementwurfes und zur Gewährleistung des fehlerfreien Zusammenschlusses der Schaltkreise war es erforderlich, alle Schaltkreise, wenn auch in unterschiedlicher Tiefe, zu bearbeiten. Der erreichte Arbeitsstand, der wesentlich über die Pflichtenheftforderung hinaus-geht, wird unter Punkt 3. ausgewiesen.

2.2. Das weitere Schaltkreisspektrum als Bestandteil und Grundlage des Systementwurfes /2.4/

2.2.1. Speicherschaltkreise

Die Hauptbasis für Speicher des Systems K 1700 sollen bilden

- 64 K x 1 bit DRAM (U 264)
- pinkompatible Schaltkreissreihe 2K x 8 bit aus SRAM, EPROM, ROM und später CMOS-RAM.

Davon ist bisher nur der SRAM U 216 mit ZFTM abgestimmt. Als Beispiellösung im Rahmen der KUL5 soll an der TU Dresden, Sektion 10, ein Hybridbaustein mit 128K x 4 bit aus 64K-Chips und halbem Flächenbedarf bearbeitet werden, der bei sicherer Beherrschung der Technologie auch für K 1700 eingesetzt werden könnte.

2.2.2. E/A-Schaltkreise

Aus 8 bit-Mikrorechnersystemen sind zur Verwendung vorgesehen:

- SIO, PIO, CTC der Serie U 85X in der schnelleren 4 MHz-Version, deren Weiterentwicklung aus der gegenwärtigen Geschwindigkeitsklasse bei KME noch nicht eingeordnet ist. Bei Nichtverfügbarkeit sind technische Kompromißlösungen mit Verlust an Systemleistung die Folge.
- Intel E/A-Schaltkreise, z. B. Floppy Disk-Controller I 8272 (bei KME noch nicht eingeordnet)
- Bildschirmcontroller CRT 5027, bei KME noch nicht eingeordnet
- EMR U 881/82 oder UPC für die Verwendung in intelligenten Anschlußsteuerungen.

2.2.3. Mittelintegrierte Schottky-TTL-Schaltkreise

- Bustreiber-/empfänger-Schaltkreise mit 8 bit Breite äquivalent I 8282, 8283, 8286, 8287; mit KME abgestimmt
- Äquivalent-Schaltkreise zu I 8212, 8216, 8226, 8205 aus dem bisher schon eingesetzten Spektrum
- Buscontrollerähnlich I 8288, Eigenentwicklung auf Grundlage des erarbeiteten Entwurfs (siehe 2.4.), mit KME noch nicht abgestimmt
- Taktgenerator ähnlich I 8284.

2.2.4. Standard-TTL-Schaltkreise

- Low-Power-Schottky-TTL-Serie entsprechend Vorzugsliste für vorrangige Verwendung
- Schottky-TTL-Schaltkreise äquivalent SN74S 00, 04, 10, 20, 30, 40, 74, 86, 280.

2.2.5. Master-Slice-Schaltkreise

Einsatz spezifischer Typen für die voraussichtliche Verwendung in

- Anschlußsteuerungen und intelligenten Controllern (siehe 5.2.)
- Alternativlösungen für BCU und ESC (siehe 3.)
- ECC-Einrichtung für DRAM

2.3. Systembus K 1700

2.3.1. Kurzcharakteristik

Der Systembus K 1700 verbindet die ZRE mit den Speichereinheiten, den Anschlußsteuereinheiten und Koppereinheiten. Er zeichnet sich durch folgende vom System K 1600 abweichende Haupteigenschaften aus:

- Auf Grund des wesentlich höheren Integrationsgrades in den am Bus angeschlossenen Einheiten wird die maximale Buslänge (ohne Busverstärker) auf 50 cm begrenzt. Dadurch ist es möglich, elektrisch nicht angepasste uni- und bidirektionale Leitungen zu benutzen, die in der Rückverdrahtungsleiterplatte geführt werden. Der Wegfall der Anpaßwiderstände verringert wesentlich die notwendigen Treiberströme und damit die durch die Leitungsinduktivitäten auftretenden Störspannungen beim Umschalten der Treiber. Außerdem wird durch die kurze Leitungslänge die Skew reduziert.
- Die Übertragung von Adressen und Daten erfolgt über getrennte Leitungen, wodurch eine Verkürzung der Buszyklusdauer um 25 bis 30 % erreicht wird.
- Der Steuersignalaustausch erfolgt ohne Quittungsspiel. Dem Signalspiel ist ein Taktraster unterlegt, wobei der Takt mit auf den Bus übertragen wird. Dadurch wird der Aufwand zur Realisierung des Bussignalspiels und die dabei entstehenden Zeittoleranzen in allen am Bus angeschlossenen Einheiten wesentlich verringert.
- Bei unterschiedlichen Datenübertragungszeiten erfolgt die Anpassung des Buszyklus durch das Einfügen von WAIT-Zyklen, die durch ganzzahlige Taktperioden realisiert werden. Die WAIT-Zyklen werden durch verzögertes Erscheinen des Signales READY ausgelöst. Das Auftreten von READY bis zum Time-out-Zeitpunkt bestätigt gleichzeitig das Vorhandensein der mit der gegebenen Adresse angesprochenen Funktionseinheit.

Wie beim K 1600 erfolgt die Datenübertragung nach dem Master-Slave-Prinzip, sowohl im programmierten Verkehr des Prozessors als auch im direkten Speicherverkehr (DMA). Die Ein-/Ausgabe erfolgt nach dem Prinzip "Memory mapped I/O". Der Systembus gewährleistet die SKR-Programmkompatibilität und ermöglicht erforderlichenfalls über eine Busumsetzung zum SKR-Einheitsbus die Anschlußkompatibilität. Eine eingehende Busbeschreibung enthält /2.8/.

Der Systembus K 1700 entspricht in seinen Aufbauprinzipien den Erfordernissen der Mikrorechner und ist vergleichbar mit den international für 16 bit-Systeme eingeführten Bussen. Bezüglich der Übertragungsgeschwindigkeit, der Unterbrechungs- und DMA-Flexibilität sowie deren Latenzzeiten ist der K 1700-Systembus dem Z-Bus von Zilog für Z 8000 und Intel-Bus für I 8086 wesentlich überlegen.

2.3.2. Stand und offene Probleme

Als A 4-Leistung wurde die logisch-funktionelle und zeitliche Gestaltung des Busses in einer vorläufigen Busrichtlinie /2.8/ zusammengefaßt. Zur Untermauerung des konstruktiven Konzepts und des Zeitverhaltens des Busses sowie der Schaltkreise I 82XX wurden experimentelle Untersuchungen an einem Busmodell durchgeführt /2.7/.

Durch die offene Entscheidung zum konstruktiv-technologischen Konzept (/2.13/, /2.5/) ist ungeklärt, ob der Bus in der konzipierten Form realisiert werden kann oder ob durch Verwendung der 58-poligen Steckverbinder wie bei K 1600 zu gemeinsamen A/D-Leitungen unter Inkaufnahme eines Leistungsverlustes übergegangen werden muß.

2.4. Buscontroller

Der Buscontroller erzeugt die Buszyklen bei Vorhandensein einer CPU. Außerdem soll durch den Schaltkreis die schnelle, pegelgerechte Bereitstellung bestimmter Signale für den Systembus und das Zusammenspiel von CPU und CHU erfolgen, so daß sich auch bei großem Systemausbau mit CHU und DRAM ein Dreitakt-Buszyklus (minimal 750 ns) gewährleisten läßt. Er enthält als Hauptfunktionsgruppen

- Statusdekoder
- READY-Aufbereitung
- Schiebketten
- Ablaufsteuerung

und läßt sich in einem 16-poligen DIL-Gehäuse unterbringen.

Nach Erarbeitung des logisch-funktionellen Konzepts und des Schaltungsentwurfes wurde der Controller mit diskreten Elementen aufgebaut und mit einer Testeinrichtung zur Nachbildung verschiedener Buszyklen labormäßig erprobt /2.9/.

International ist der Einsatz von Buscontroller-Schaltkreisen, beispielsweise I 8288, üblich.

2.5. Konstruktiv-technologisches Konzept

2.5.1. Zur Aufgabenstellung

Aus dem Widerspruch zwischen der Forderung nach Weiterverwendung der Konstruktion und Technologie des K 1600 (/1.12, P. 7/) einerseits und nach maximaler Systemleistung (/1.13, P. 6/) sowie erweitertem Speicherbereich mit der Konsequenz eines breiteren Systembusses andererseits ergab sich die Notwendigkeit, Untersuchungen zum Leiterplattenformat, Steckverbinderersatz und zur Basiskonstruktion durchzuführen.

2.5.2. Ergebnisse durchgeführter Studien

Aus einer Literaturrecherche zum funktionell-konstruktiven Aufbau von Mikrorechnern /2.10/ ist abzuleiten:

- Im NSW wird für den Aufbau von Mikrorechnern die Leiterplatte mit den Abmessungen 100 mm x 160 mm oder 233,4 mm x 160 mm entsprechend der IEC48 (Sekretariat) 186 bzw. DIN 41494 vorrangig eingesetzt. Die breite Anwendung dieses Leiterplattenformats gewährleistet die Kombinierbarkeit mit anderen Systemen, was durch die wachsende Rolle des OEM-Geschäftes immer mehr an Bedeutung gewinnt.
- Auf der Grundlage der DIN 41612 oder IEC 130-14 werden vorrangig zwei- oder dreireihige 32-, 48-, 64- und 96-polige Steckverbinder mit dem Kontaktraster von 2,54 mm eingesetzt.
- Der konstruktive Aufbau der Mikrorechner erfolgt auf der Grundlage der IEC 48 D in 19-Zoll-Technik.

Eine weitere Literaturarbeit /2.11/ über Gefäßsysteme führt zu folgenden Schlußfolgerungen:

- Die Basiskonstruktion internes und externes Gefäßsystem DEKK ist für das Rechnersystem K 1700 geeignet
- Als Schrankhöhen werden 1600 mm und Tischhöhen von ca. 730 mm bevorzugt angewendet. Die Schränke haben keine Fußfreiheit oder Sockel.

- Charakteristisch für die Wärmeabführung ist, daß nur gefilterte Kühlluft mit den Einbauten in Berührung kommt. Es überwiegt Druckbelüftung.
- Der Einsatz von Schwenkrahmen konnte bei Mikrorechnern nicht nachgewiesen werden, da sie ausschließlich in Einschub-/Einsatzbauweise ausgeführt werden.

2.5.3. Lösungsvorschlag

Auf der Grundlage der genannten Literaturarbeiten und des Systemkonzepts K 1700 wird folgender Lösungsvorschlag unterbreitet /2.12/, /2.13/:

Die Abmessungen der Leiterplatten für die SMS- und KRS-Konfigurationen müssen der (nationalen) und internationalen standardtechnischen Basis entsprechen und maximale Exportvoraussetzungen mit Steckverbinderkompatibilität zu Entwicklungen der UdSSR ermöglichen. Es sollte daher folgendes Steckeinheitensystem vorgesehen werden:

- Leiterplatte 233,4 mm x 160 mm, Raster 2,5 mm (Doppeleuropaformat)
- Steckverbinder (Rückverdraktung) 96-polig, Kontaktraster 2,5 mm, konstruktive Anschlußmasse nach IEC 130-14.

Der konstruktive Aufbau des Rechners als autonomer Blockeinheit (AKB) erfolgt auf der Grundlage des internen Gefäßsystems (DENK) ~~ist~~ ist damit maßkompatibel zur IEC 48 D.

Die Anordnung der Steckeinheiten, der Stromversorgungsmoduln und der Lüftergruppe sollte in Analogie zum MR K 1620/K 1630 erfolgen. Die gegenüber dem MR K 1620/K 1630 veränderte Leiterplattenabmessung erfordert eine Neuaufteilung des Grundrahmens sowie veränderte Steckeinheiteneinsätze, Aufnahmen für die Stromversorgungsmoduln und der Lüftergruppe.

Die Weiterentwicklung der Reihe der Stromversorgungsmoduln mit den Zielstellungen der Realisierung der Sicherheitskleinspannung nach VDE 0730 (Netztrennung 3750 V), der weiteren Verringerung des Materialeinsatzes pro Leistungseinheit und Erhöhung des energetischen Wirkungsgrades ist auf der Grundlage der IEC 48 D und damit maßkompatibel zur Leiterplatte mit den Abmessungen 233,4 mm x 160 mm durchzuführen.

Zum Einbau des AKB und der Peripherie werden die Schrank- und Tischgefäße des externen Gefäßsystems DENK genutzt. Der Schrank mit der Höhe 1600 mm soll vorrangig Anwendung finden.

Zur Bewertung und Begründung ist anzuführen:

Die vorgeschlagene Abmessung der Leiterplatte entspricht einem im ESER/SKR vorliegenden Vorschlag für eine kompatible Basiskonstruktion ESER/SKR sowie den bisherigen Abstimmungen zum SKR der 3. Reihe in der ZAC-6.

Die Leiterplatte ist Bestandteil der Entwürfe der TGL 37270 (19 Zoll-Gefäße), der TGL 34636 (Leiterplattenabmessungen) und entspricht der derzeit ausgeprägtesten Realisierungslinie für Mikrorechner in Westeuropa.

Die prinzipielle Möglichkeit, SMS und KRS mit Leiterplatten der Abmessung 322,3 mm x 160 mm zu realisieren, wird aus folgenden Gründen nicht vorgeschlagen:

- Unzureichende Konfigurierungsflexibilität der Anschlußsteuerung
- Mit weiteren Voranschreiten der Bauelementeintegration perspektivisch nicht mehr sinnvoll nutzbar, d. h. zu große Leiterplattenfläche.

Die Wahl des Kontaktrasters 2,5 mm am Steckverbinder erfolgt auf Grund folgender Aspekte:

- Einordnung in die technologische Basis der Leiterplattentechnik der DDR
- Steckverbinderkompatibilität zur UdSSR.

2.5.4. Offene Probleme

Die L-Vorlage /2.13/ wurde bisher nicht behandelt und entschieden. Die sich aus einer positiven Entscheidung ergebenden Maßnahmen sind dort dargestellt.

2.6. Speichermodulkonzept

2.6.1. Modulsortiment

Unter Zugrundelegung der Schaltkreisbasis gemäß 2.2.1. und des vorgesehenen Leiterplattenformats lassen sich folgende Speichermoduln für die wahlweise Bestückung von SMS- und KRS-Konfigurationen bis zu einer Kapazität von 3,84 MByte realisieren:

- SRAM-Modul mit 32 KByte
- EPROM/ROM-Modul mit 32 KByte
- gemischter SRAM/EPROM-Modul mit 32 KByte
- CMOS-RAM-Modul mit 32 KByte mit Batteriestützung
- DRAM-Modul mit 256 KByte.

2.6.2. Konzept des Operativspeichers mit DRAM

Folgende Hauptparameter sind zu konzipieren:

- Maximale Kapazität 1,92 KWorte zu 16 bit
- (wahlweise) Korrektur von 1 bit- und Erkennung von 2 bit-Fehlern, lesbarer Fehlerspeicher
- 128 KWorte zu (16 + 6) bit pro Steckereinheit
- Modularität, Abrüstbarkeit in Stufen von 64 KWorten.

In /2.14/ sind 3 Varianten für die Speicherorganisation dargestellt. Dabei wird davon ausgegangen, daß die Informationsauffrischung dezentral mit zentraler synchroner Auslösung erfolgt. Dem Konzept liegt die Verwendung des 64K DRAM-Schaltkreises U 264C zugrunde. Die Unterbringung von wesentlichen Teilen der Refresh-Elektronik auf dem Schaltkreis ermöglicht die Modularität des Speichers auf Steckereinheitenebene.

Nach neueren, inoffiziellen Informationen soll der U 264C zunächst keine interne Informationsauffrischung erhalten. In diesem Falle wäre eine Variante mit zentraler Steuerung, mit Fehlererkennung/-korrektur in Betracht zu ziehen, die beim Einsatz konventioneller Bauelemente 3 Steckereinheiten erfordert /2.15/.

2.6.3. Zeitverhältnisse

Mit den angenommenen Grundgeschwindigkeiten der Schaltkreise liegen die Zeiten für die Speicherzyklen zwischen 500 und 1000 ns. Bei Vorhandensein der Speicherverwaltungseinheit verlängert sich der Buszyklus für die CPU durch die Adreßumsetzung und Speicherschutzprüfung um 250 ns. Durch den Cache verkürzt sich Zykluszeit im Lesefall bei Hits auf 500 ns (Zugriffszeit 375 ns).

2.7. Steckereinheiten-Modulkonzept

Das Steckereinheiten-Modulkonzept zur Realisierung von ESR, SMS und KRS ist in seinen Grundzügen in /2.2/ dargestellt. Die sehr hohe Funktionsdichte in den Bauelementen und auf den Steckereinheiten ermöglicht es, auch die leistungsfähigste Kleinrechnervariante in einen autonomen Komplexblock 19 Zoll, 6 U, lang unterzubringen und erhebliche Material-, Gewichts- und Energieeinsparungen zu erzielen (/1.8, Anlage/, /2.16/).

In einem 6 U-Einsatz, lang sind bei einer Buslänge von 41 cm 28 Steckplätze im 15 mm-Raster verfügbar. Ausgehend vom Steckereinheitenformat EGS oder Doppelauroopa ist damit beispielsweise folgende Maximalkonfiguration möglich:

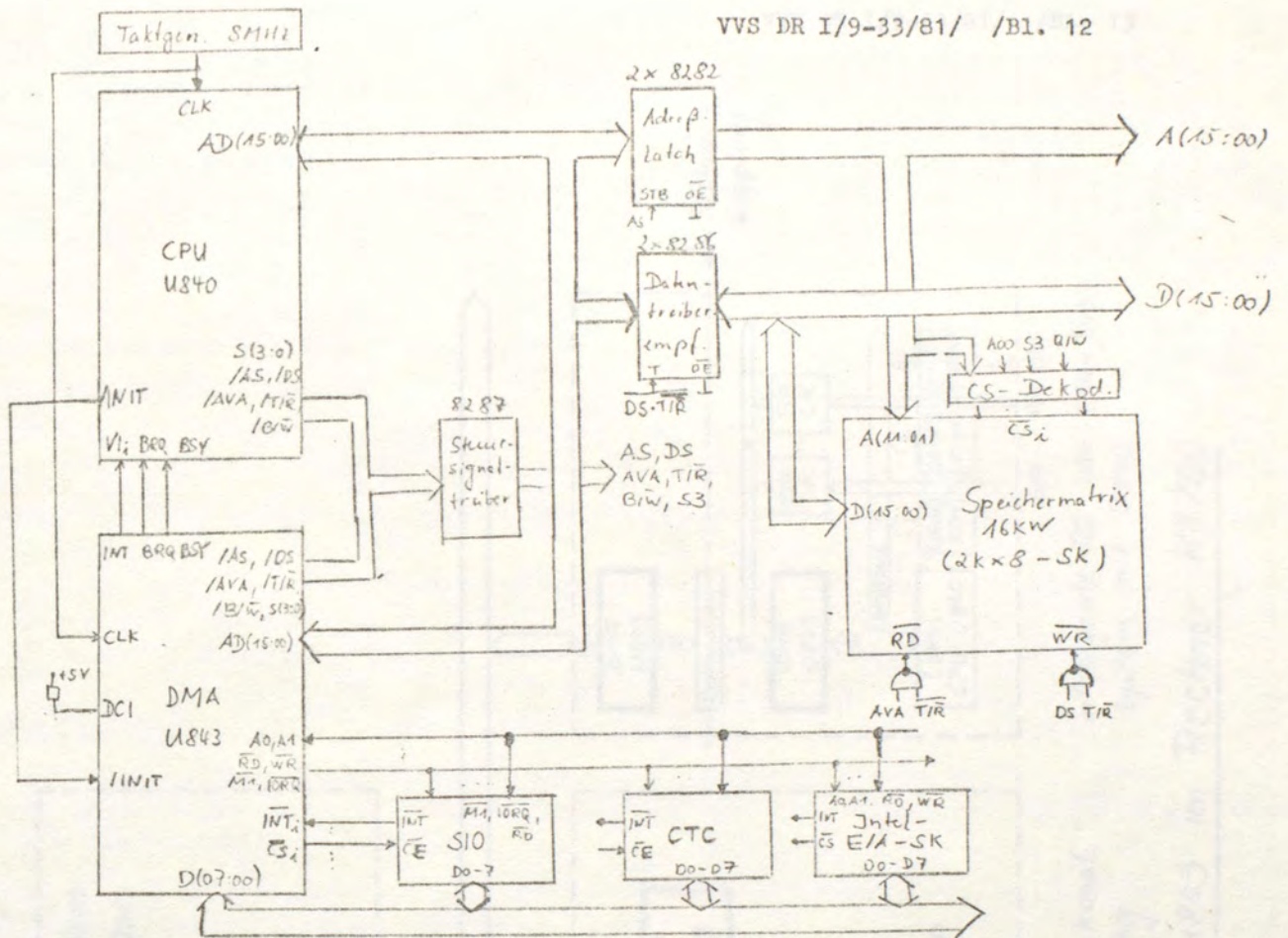
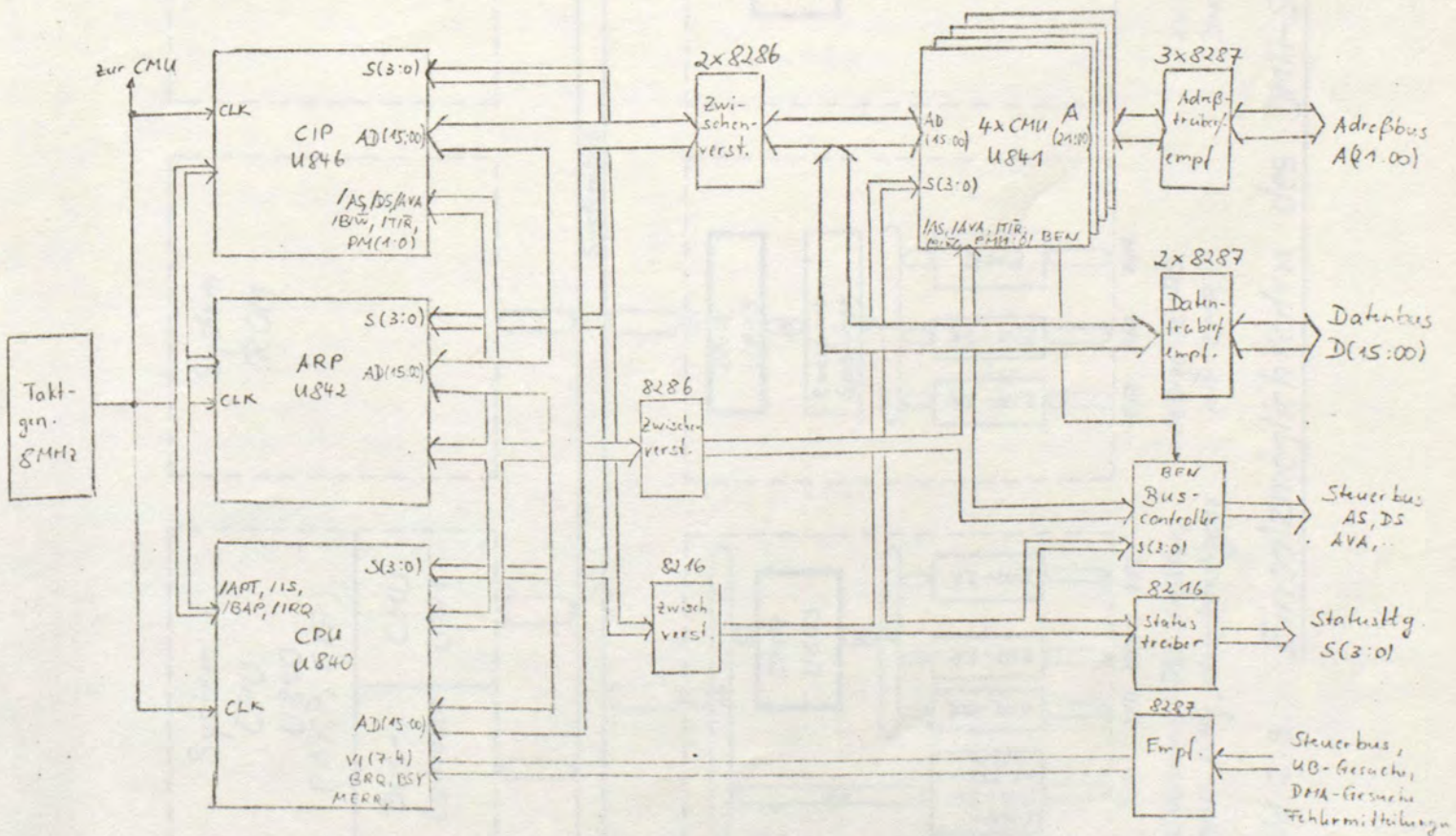


Bild 2.1 Beispiel für einen Einsteckeinheitenrechner (ESR)



Bld 2.2 Beispiel für eine ausgebaute ZRE im Kleinrechnersystem (KRS)

ZVE mit CMU, ARP und CIP: 1 Stk

3,84 MByte Arbeitsspeicher aus 128 KWort-Modulen: 15 Stk

Datenfehler-Korrekturmodul (ECC): 1-3 Stk

Anschlußsteuerungen: 9-11 Stk.

Beispiele für die Konfigurierbarkeit der Schaltungsbasis als ESR und ZVE des KRS zeigen Bild 2.1 und 2.2. Bild 2.3 veranschaulicht die Einsatzmöglichkeiten des DMA-Schaltkreises.

2.8. Zuverlässigkeitsfragen

2.8.1. Inhalt der Teilaufgabe

Ausgehend von den begonnenen Arbeiten zu fehlertoleranten (Multiprozessor-)Systemen im Thema "Prozessoren" wurden bezogen auf K 1700 mit sehr kleiner Kapazität folgende Arbeiten durchgeführt:

- Zuverlässigkeitsanalyse für ausgewählte Systemkonfigurationen und Parameter (Auflage nach /1.10, F. 10/)
- Möglichkeiten einer besseren Beherrschung von Fehlersituationen bei verschiedenen Betriebszuständen des Systems
- Kriterien für die Auswahl geeigneter Lösungen, Einfluß auf das Systemkonzept

2.8.2. Ergebnisse

Die Arbeiten sind noch nicht abgeschlossen. Die A 4-Ergebnisse sind in /2.17/ dargestellt.

Für 2 Systemkonfigurationen K 1700 wurden als "mittlerer Ausfallabstand" und "Überlebenswahrscheinlichkeit 0,05 Quantil" ermittelt:

- ESR mit CPU, ARP, 16 KWort RAM, 4 x IPSS, Folienspeicher-Controller, Bildschirmsteuerung; ohne Stromversorgung und Peripherie:
MTBF = 30000 Stunden
 $t_{0,05} = 1500$ Stunden
- KRS mit CPU, CMU, ARP, CIP, 4 MByte DRAM-Operativspeicher einschl. Fehlerkorrektur, 11 Karten Anschlußsteuerungen für 4 x IPSS, 2 x IPSP, 2 x Plattensteuerung, Magnetbandsteuerung, Folienspeichersteuerung und anwendungsspezifische Anschlüsse; ohne Lüfter, Bedienelemente und Peripherie:
MTBF = 3000 Stunden
 $t_{0,05} = 150$ Stunden.

2.9. Bedienung

Die Teilaufgabe umfaßt die Problematik der Kommunikation des Operators mit verschiedenen Systemvarianten des K 1700. Vorgaben sind dazu im Pflichtenheft nicht enthalten. Die Voraussetzungen für die Bearbeitung der A 4-Leistungen waren erst I/81 gegeben, so daß u. a. aus diesem Grunde die Vollständigkeit des LK1 der CPU zu einem früheren Termin nicht erreichbar war.

2.9.1. Erarbeitete Lösung /2.18/

- Für das KRS K 1700 wird weitgehend die mit K 1600 eingeführte Bedienweise beibehalten. Die Bedienung erfolgt vorwiegend über ein Bediengerät. Eingeschränkte Bedien- und Anzeigemöglichkeiten sind am Frontpaneel gegeben.
- Die am Frontpaneel vorhandenen Elemente entsprechen in Funktion und Wirkung denen des K 1600
- Im HALT-Zustand des Prozessors wirkt eine Bedieneinheit des Systems als Bediengerät. Während des HALT-Zustandes werden nur die Unterbrechungsanforderungen, Spannungsausfall und Anfangs-

einstellung angenommen. Auftretende Fehlerursachen sind vom Bedienprogramm zu erkennen und zu bearbeiten.

- Im Unterschied zu K 1600 kann aus Platzgründen das Bedienprogramm nicht ins Mikroprogramm der CPU aufgenommen werden und ist deshalb als Maschinenprogramm zu realisieren. Vom Mikroprogramm wird die Bedienung nur unterstützt bei

- . Übergang in HALT-Zustand
- . Verlassen des HALT-Zustandes
- . HALT-Zustand in Systemen ohne Bediengerät
- . Spannungsausfall während HALT-Zustand.

Das Bedienprogramm wird als residentes Programm auf EPROM zur Verfügung gestellt.

- Die durch K 1630 eingeführten Bedienkommandos werden auch im K 1700 realisiert.
- In den Slave-Systemen bei Mehrrechnersystemen übernimmt die Koppeleinheit die Funktion des Bediengerätes. Dazu wird eine Variante des Bedienprogramms eingesetzt, in der nur das Unterprogramm "GerätetreiberBedieneinheit" durch das Unterprogramm "GerätetreiberKoppeleinheit" ersetzt ist.

2.9.2. Erreichter Stand

Die Lösung wurde soweit aufbereitet, daß eine Einarbeitung in das lfk1.2 der CPU und in die Mikroprogrammsteuerungen erfolgen konnte.

2.10. Befehlsliste

An der Erstellung der Befehlsliste wurde kontinuierlich gearbeitet. Der erste Entwurf wurde 9/79 fertiggestellt /2.1/, /1.6/. In der Folgezeit ergaben sich grundsätzliche Fragen zur Anwenderprogramm- und damit Befehlslistenkompatibilität, ausgelöst durch die Befehlssatzerweiterung CIS beim Vergleichsrechnermodell 44 und Überlegungen zur künftigen Stellung des K 1700 im SKR /1.6/, /1.8/, /2.22/. Die gegenwärtige Fassung der Befehlsliste /2.23/ enthält eine detaillierte Befehlsbeschreibung, berücksichtigt optimal die Kompatibilitäts- und Realisierungsbedingungen und ist verbindliche Arbeitsgrundlage für den Entwurf der CPU- und Koprozessor-Schaltkreise. Sie beinhaltet:

- CPU: Grundbefehlsliste entsprechend SM3
 - + erweiterte Befehlsliste, entsprechend SM4 XOR, SOB, SXT, RTT, MARK, MUL, DIV, ASH, ASHC, MFPD, MTPD
 - + Spezialbefehle entsprechend Vergleichsrechnerfamilie MEPS, MTPS, CSM, MEPT
 - + anwenderspezifische Zusatzbefehle entsprechend Forderungen des Werkzeugmaschinenbaus enthaltend 5 Bitbefehle TBIR, CBIR, SBIR, FCBT und 6 Verschiebefehle LSR(B), ROR(B), ROL(B) ^{+ FBT}
 - + Blockbefehl BMOV des K 1630
- ARP: 46 Gleitkommabefehle entsprechend Vergleichsrechner ^{Befle}
 - + Konvertierungsbefehle ~~Testkomma/Gleitkomma~~ des ARP 30 RESA, SETA
- CIP: 27 Befehle (Dezimalbefehle, Zeichenkettenbefehle entsprechend Vergleichsrechnermodell 44)
 - + möglicherweise Zusatzbefehle S2DR, S3DR ^{zu} Zeichenerkennung ^{Befehle} _(Rechnermodell 60)

Damit sind in der Befehlsliste sämtliche Befehle aller Modelle der Vergleichsrechnerfamilie außer den einfachen Gleitkommabefehlen FADD, FSUB, FMUL, FBLV enthalten.

2.11. Kompatibilität

2.11.1. K 1600/SKR-Kompatibilität

Die geforderte Kompatibilität zu K 1600/SKR mindestens auf Anwenderprogramm- und Befehlslistenkompatibilität führte zu einer Reihe schwerwiegender Probleme, die für Leitungsentscheidungen

aufbereitet wurden /2.21/ und auch noch zu Änderungen in der Befehlsliste des K 1620/30 führten. Die Notwendigkeit der Anwenderprogrammkompatibilität unterstreicht die von ZPT/E 47 durchgeführte Abschätzung zur voraussichtlichen Entwicklung des Softwarebestandes ohne MOD, QMOD, POS für K1600

Jahr	1981	1982	1983	1984
Mio Befehle	3,2	9,3	27,3	45,3

Mit der Befehlsliste nach 2.10 wird eine weitgehende (Aufwärts-Befehlslistenkompatibilität) erreicht. Der Blocktransportbefehl BMOV und die Dezimalbefehle des K 1630 wurden an ihre Entsprechungen im CIS-Befehlssatz weitgehend angeglichen und in einen Befehlsraum gelegt, der bei weiterem Ausbau des Systems K 1700 keine Kompatibilitätsprobleme hervorruft. Damit verbleiben folgende Besonderheiten:

- Wegen der Dezimalbefehle erfordert die Kompatibilität zu K 1630, dem K 1700 mit CIP auszurüsten.
- Bei K 1700 sind für den ARP als Festkommabefehle lediglich die Konvertierungsbefehle Festkomma/Gleitkomma und Gleitkomma/Festkomma geplant. Das FA-Bit wird durch REBA und SEFA wie bei ARP 30 modifiziert. Die Festkommabefehle des ARP 30 müssen durch programmtechnische Mittel (Makros) implementiert werden.
- Die einfachen Gleitkommabefehle einiger SSI-Rechner, ~~und~~ FADD, FSUB, FMUL, FDIV werden nicht realisiert.

Die Lauffähigkeit der Betriebssysteme LAOS und MOOS 1600 sollen sichergestellt werden mit der Einschränkung, daß die E/A-Gerätebedienprogramme modifiziert bzw. neuentwickelt werden müssen. Dazu liegt eine Aufwandsabschätzung von ZPT/E 47 vor /2.25/. Der wesentliche Grund für diese Abweichung ist die Verwendung von programmierbaren ICI-Schaltkreisen in den Anschlußsteuerungen.

2.11.2. K 1520-Kompatibilität

Anfang 1981 entstand die Forderung, den Übergang vom System K 1520 auf K 1700 zu unterstützen. Gemäß Festlegung 4.12 des Protokolls der Leitertagung in Oelsnitz, VD RKL/EE-14/81, waren entsprechende Aussagen zu erbringen. Die von ZPT/E 47 durchgeführten Untersuchungen /2.26/ besagen:

- Ebenso wie beim Übergang von K 1520 auf Z 8000 ist auch beim Übergang vom K 1520 auf K 1700 eine volle automatische Übersetzung von Programmen nicht möglich (manuelle Nacharbeit, keine E/A-Befehle umsetzbar)
- Die Laufzeitverlängerung und Speicherplatzvergrößerung fällt bei K 1700 wegen der größeren Architekturabweichungen stärker ins Gewicht als bei Z 8000, so daß eine programmtechnische Lösung des Übergangs von K 1520 auf K 1700 nicht empfohlen werden kann. Das belegt folgende Tabelle:

Lösung	Zeitverlängerung	Speicherverlängerung	zusätzl. Speicher
Translator Z 80/Z 8000	0,7-1	1,5	-
Übersetzer K 1520 K 1700	2	2,4	2 KWorte
Interpreter K 1520 auf K 1700	8-30	0	2,5 KWorte

Tabelle 2.2: Parameter zum programmtechnischen Übergang vom K 1520 auf 16 bit-Rechner

- Hardwaremaßnahmen sind denkbar; eine weitere zusätzliche Belastung der CPU U 840 ist abzulehnen.

Die Verwendung von K 1520-Subsystemen, die an den Systembus K 1700 angekoppelt sind, ist technisch unproblematisch.

Die Nutzung von E/A-Schaltkreisen U 85K ist Bestandteil des Systemkonzepts K 1700 (s. 2.1.4. und 2.2.2.).

2.12. MOS-Konzept

Für die Verwendung bei Mikrorechnern bis leistungsfähigen Kleinrechnersystemen sind gemäß Studie /2.27/ vorgesehen:

- Betriebssysteme
 - LAOS 1700: An K 1700 angepaßtes LAOS 1600 zur Übernahme vorhandener Lösungen aus K 1600
 - MOOS 1700: Einsetzbar für verschiedene Anwendungsgebiete vor allem mit ausgeprägten Echtzeiteigenschaften. Für Mikrorechner wird eine internspeicherorientierte Variante bereitgestellt.
 - MPOS 1700: Betriebssystem für FVA-Anwendungen (Echtzeit-Multiprogramm und Timeharing-Betrieb mit gleichzeitiger Unterstützung der Programmentwicklung)
- QPOS für Datenorganisation, Aufbau von Datenbanken, mathematische Standardfunktionen und Verfahren, Meßwerterfassung, Primärdatenverarbeitung und Kommunikation sowie spezielle Komponenten zur Unterstützung von Mehrprozessorsystemen
- Compiler für höhere Programmiersprachen wie FORTRAN, BASIC, PASCAL, COBOL usw.
- CROSS-MOS K 1600/K 1700 und ESER/K 1700, MOS für Entwicklungssystem K 1700.

Der damit auch für Mikrorechneranwender gebotene Komfort liegt weit über dem gegenwärtigen Angebot bei internationalen Mikrorechnersystemen.

2.13. Leistungsbewertung

Frühere Leistungsvergleiche /1.6/, /2.22/ auf der Grundlage des SMR-MIX wurden unter Verwendung der von der ZHS Dresden und von ZPT/D 32 ermittelten Meßwerte für die Befehlsausführungszeiten der Rechner SM3, SM4 und K 1620, K 1630 aktualisiert:

	K 1620	K 1630	SM3 (SU)	SM4 (SU)	SM4 (ESER)
OS	115,35	108,56	64,50	191,20	132,70
WE	20,50	69,40 m. ARP	nicht ermit.	66,54 mit TADD, ...	103,76 m. TDD
EX	54,03	60,83	47,45	77,95	63,14

Tabelle 2.3: Prozessorleistung in 1000 Befehlen pro Sekunde

	H = 0	H = 0,5 o. RMS	H = 1,0 o. ESER
OS	2,7	3,35	4,4
WE	3,0	3,5	4,1
EX	2,9	3,7	5,1

Tabelle 2.4: Auf K 1620 bezogene Leistungsfaktoren, K 1700 mit SMU und ohne ARP und GEP, Memitrate

	ISI-11/23	IDP-11/44	Z 8000 (4 MHz)	MC 68000
OS	1,7	3,0	3,1	5,7
WT	1,5	2,2	3,9	6,5
ÜK	0,93	1,8	2,6	2,9

Tabelle 2.5: Leistungsfaktoren von 16 bit-Mikrorechner- und Kleinrechnersystemen bezogen auf K 1620 (Angaben zu MC 68000 auf Prozessorparameter bezogen, vergleichbar mit anderen Tabellenwerten durch 10 % Abzug)

2.14. Entwicklungssystem

Die vorgesehene Anwendung des K 1700 für anwendungsspezifische Mikrorechnerlösungen erfordert die Bereitstellung eines Entwicklungssystems. Im Ergebnis der konzeptionellen Voruntersuchungen und des WTH-Vergleichs /2.29/ wurde in der Studie /2.29/ vorgeschlagen, ein leistungsfähiges universell für alle in der DDR gängigen Mikroprozessoren nutzbares System zu entwickeln. Nach Beratung der Studie wurde die verantwortliche Bearbeitung ZPT/E 5 übertragen. Die weiteren Arbeiten bei ZPT/E 344 konzentrierten sich auf die

- Systemstruktur auf Basis K 1600 bzw. K 1700
- Arbeits- und Funktionsteilung in einer Multiprozessorstruktur
- zweckmäßige Form der Prozessorkopplung.

Dabei wurde weiter davon ausgegangen, daß

- ein System mit Mehrplatznutzung auf der Basis des Betriebssystems MOOS K 1600/K 1700 zu realisieren ist
- die Echtzeitemulation in Arbeitsteilung zwischen Systemprozessor (U 840) und Anwenderprozessor ermöglicht werden muß
- die universelle Nutzbarkeit und Erweiterbarkeit für 8- und 16 bit-Mikroprozessoren insbesondere für U 840, U 880, U 882 zu gewährleisten ist /2.30/.

Vor Verfügbarkeit der K 1700-Gerätetechnik kann eine Anwenderunterstützung für Programmentwicklung über CROSS-Software auf K 1600 bereitgestellt werden. Der Bearbeitungsbeginn ist 1981 beim Vertragspartner IHD vorgesehen.

3. Stand und Ergebnisse der Schaltkreisentwürfe

3.1. Technologische Schaltkreisbasis

Realisierungsgrundlage für den Schaltkreissatz U 84 ist die Kurzkanal-MOS-Technologie nSGT3 mit einer minimalen Kanallänge von ca. 2 μm . Vorläufige, experimentell noch nicht bestätigte Entwurfsregeln wurden vom ZPTM erst 9/80 übergeben. Damit erscheinen folgende Parameter erreichbar:

- 100000 Transistoren pro 30-35 mm^2 Chipfläche für reguläre Strukturen
- 30000 Transistoren pro 30-35 mm^2 Chipfläche für irreguläre Strukturen
- Leistungs-Verzögerungszeitprodukt $P_v \times t_v \leq 1 \text{ pJ}$.

Für gemischte Strukturen, wie sie beim Prozessorschaltkreis vorliegen, kann mit Integrationsgraden von 40000-60000 Transistoren pro Chip gerechnet werden. Dieser Wert liegt im oberen Bereich der gegenwärtig international eingeführten oder in der Markteinführung befindlichen 16 bit-Mikroprozessoren, ohne die Spitzenwerte zu erreichen.

Die vorläufigen Entwurfsregeln ermöglichten Grobabschätzungen über Flächen-, Leistungs- und Zeitparameter, reichen aber nicht aus, um verlässliche Aussagen über das Zeitverhalten von Schaltungs-Teilentwürfen mittels STADYNET-Modellen zu erhalten. Nach Aussagen von ZPTM-Mitarbeitern können die endgültigen Zeitparameter um - 50 % bis + 100 % abweichen.

Gegenwärtig werden im ZPTM Testfelder zur Erprobung der Technologie bearbeitet. Auf dieser Grundlage sind genauere Entwurfsparameter III/81 zu erwarten.

Obgleich die vorläufigen Entwurfsregeln von 9/80 schlechtere Parameter, als ursprünglich angenommen, auswiesen, wurde die Annahme eines CPU- und Mikroprogrammzyklus von 250 ns als Entwurfsgrundlage für die Schaltkreise und das System beibehalten.

3.2. CPU-Schaltkreis U 840

3.2.1. Bearbeitungsumfang und -schwerpunkte

Grundlage für den CPU-Entwurf waren die unter 2.1.1. genannten Parameter. Über die Zielstellung des Pflichtenheftes hinaus, das den Grobentwurf des CPU-Schaltkreises fordert, wurde vom Themenkollektiv angestrebt:

- Die Entwurfsstufe 1fK1 zu erreichen,
- den logisch-funktionellen Entwurf an den kritischsten Stellen durch Transistorplan- oder Layout-Studien hinsichtlich seiner Realisierbarkeit zu untermauern und notwendige Änderungen einzuarbeiten
- die Kompatibilität weitgehend zu gewährleisten,
- eine teilweise Grobsimulation in SDL durchzuführen.

Ein besonderer Entwurfsschwerpunkt bestand darin, maximale Operationsgeschwindigkeit durch Befehlsvorholen (Prefetching) sowie überlappende Befehlsabarbeitung im Mikroprogrammsteuerwerk und Rechenwerk und damit eine lückenlose Busbelegung zu erreichen. Das vorgesehene Pipelining veranschaulicht Bild 3.1.

Die zu bearbeitenden Hauptkomplexe des Schaltkreises waren:

- Rechenwerk und Registersystem
- Bussteuerung mit E/A-Steuerung, Arbiter, Anfangseinstellung
- Steuerwerk
- Restelektronik mit Hilfsregister, interne Adressierung und Verbindungslogik
- Mikroprogrammierung
- SDL-Simulation.

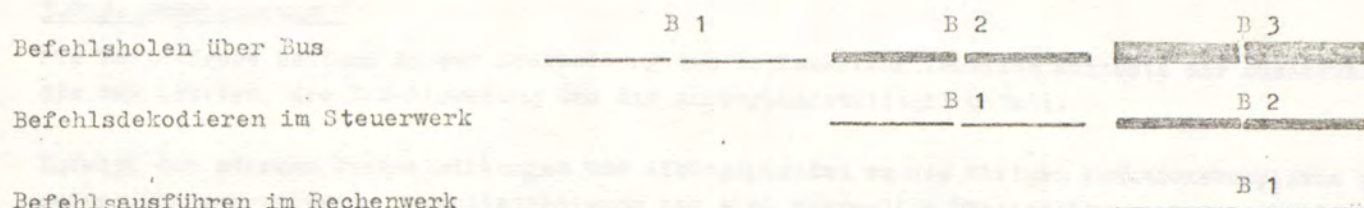


Bild 3.1: Überlappung (Pipelining) beim Befehlsdurchlauf, Taktphase 250 ns



Bild 3.2: Überlappter Durchlauf im Steuerwerk, Taktphase 250 ns

3.2.2. Rechenwerk und Registersystem

Die Teilaufgabe umfaßt

- Erarbeitung des logisch-funktionellen Konzepts des Rechenwerkes unter Einschluß der zugehörigen Universal- und Hilfsregister sowie der erforderlichen Datenpfade
- Gewährleistung der technischen Voraussetzungen zur vollkompatiblen Ausführung der vorgegebenen Befehlsliste
- Gewährleistung einer optimalen Operationsausführungszeit unter den Bedingungen eines CPU-Zyklus von 250 ns, eines Buszyklus von 500 ns und gegebenen Datenaufbereitungs- und -bereitstellungszeitpunkten
- Ermittlung der Anforderungen an die Steuersignal- und Steuerwortbildung
- Mitwirkung an der Optimierung der Mikroprogrammabläufe
- Untersuchung der schaltungstechnischen Umsetzbarkeit und Auswahl der Lösungsvariante nach Realisierungsgesichtspunkten.

Im Ergebnis der durchgeführten Arbeiten liegen vor:

- Entwurf der ALU und der nachgeschalteten Resultatmanipulationseinrichtungen Shifter und Swapper auf den vollen Funktionsumfang des Befehlssatzes, so daß die Operationsausführung in der Regel in einem einzigen Operandendurchlauf zu sichern ist
- Optimale Algorithmen für Multiplikation und Division mit in das Rechenwerk eingebauter Stützungsschaltung, wodurch Operationsausführungszeiten erreicht werden, die deutlich unter denen entsprechender Vorbildmodelle liegen
- Die notwendige Erweiterung des Rechenwerkes um Hilfsschaltungen zur beschleunigten Durchführung von Adreßrechnungen und einzelnen Bitoperationen
- Das Konzept der internen Datenpfade als Zweibussystem zur ALU-Speisung mit 2 -Richtungsbetrieb zur Resultatrückführung und einem separaten Ausgabebuss für Daten und Adressen
- Das Operationsprinzip des Rechenwerkes, das auf das im Grobkonzept entworfene Taktsystem abgestimmt ist und durch hardwaregestützte Prefetchmechanismen eine Überlappung von Befehlsausführung, Folgebefehlsaufstellung und Befehlsadreßfortrechnung ermöglicht.

Die Arbeitsergebnisse sind in /2.2/, /3.2/ und in der Schaltkreisakte /3.1/ als lFK sowie in weiteren Arbeitsunterlagen dargestellt.

3.2.3. Bussteuerung

Die Teilaufgabe bestand in der Erarbeitung des logisch-funktionellen Konzepts der Bussteuerung, die den Arbiter, die E/A-Steuerung und die Anfangseinstelllogik umfaßt.

Infolge der starken Wechselwirkungen und Abhängigkeiten zu den übrigen Funktionskomplexen der CPU mußte eine schrittweise Vervollständigung und eine mehrmalige Überarbeitung entsprechend dem Arbeitsfortschritt vorgesehen werden. Folgender Stand wurde in der Endphase der Themenbearbeitung erreicht:

- Vollständiges lfk der E/A-Steuerung 12/80
- Konzept der Anfangseinstellung 1/81, erarbeitet in Anlehnung an die K 1600-Lösung, anschließend Überarbeitung nach dem veränderten Bedienkonzept (siehe 2.9) verbunden mit Einsparung von Logikaufwand
- Vervollständigung des Arbitrarentwurfs 3/81
- Überarbeitung aller Komponenten der E/A-Steuerung unter Berücksichtigung wesentlicher Änderungen durch den CIP-Anschluß und des fortgeschrittenen Arbeitsstandes des übrigen CPU-Entwurfes bis A 4
- Ergebnisse schaltungstechnischer Realisierungen auf Gatterniveau und verlässliche Aussagen zur Realisierbarkeit der zeitlichen Abläufe liegen noch nicht vor.

Die Arbeitsergebnisse sind in /3.3/ und /3.1/ dargestellt.

3.2.4. Steuerwerk

Zur Minimierung des Flächenbedarfes und zur Gewährleistung des geforderten zeitlichen Durchlaufs wurde das Steuerwerk als zweistufige Struktur aus PLA's mit Prefetching und überlapptem Durchlauf konzipiert. Die durchgeführten Arbeiten beinhalten:

- Entwurf der zweistufigen Steuerwerksstruktur, bestehend aus 3 PLA
- Untersuchungen zur Kodierung der Mikrobefehlsadressen und zur maschinellen Entwurfsunterstützung unter Einbeziehung des ZKI
- Anpassung des Steuerwerks an wichtige Sonderabläufe (Anhalten Schrittbetrieb u. ä.)
- Erste Untersuchungen zur zeitlichen ^{pass}Einlesung der PLA's in das Taktraster mit dem Ergebnis, daß die Gesamtbefehlsdekodierzeit von 500 ns voraussichtlich erreichbar und der Ablauf in dem Takt-raster unterzubringen ist
- Untersuchung zeitkritischer Abläufe unter weitgehender Beachtung der mit der gegebenen Technologie voraussichtlich erreichbaren Geschwindigkeiten mit dem Ergebnis, daß die Abläufe voraussichtlich realisierbar sind, aber die Zeitbedingung für die konzipierte bedingungsabhängige Verzweigung aus ALU-Flags zu verändern ist
- Erste Entwürfe für die Branchlogik, die Mikrooperationssteuerung der ALU, die Flagsteuerung und deren Mikrooperationssteuerung
- Prinzipiellösung für Operationssteuerung (befehlsabhängiger eigentlicher Ausführungsschritt), die sich hinsichtlich Zeitablauf, Leitungsführung und Fläche günstig in die ersten Ansätze des Groblayout einordnet
- Simulation der Mikrooperationssteuerung mit SDL verbunden mit einem ersten realen Test der PLA-Simulation an einem kleinen Beispiel, wobei ein positives Ergebnis erzielt wurde
- Implementierung der Mikroprogramme in den PLA's und Durchführung eines ersten Optimierungslaufes (siehe 3.2.7.).

Die Ergebnisse sind in /2.2/, /3.4/ und /3.1/ dargestellt.

3.2.5. Restelektronik

Die Teilaufgabe umfaßt die Eingliederung der inneren Verbindungslogik mit den Systemregistern PS, PIR, SL, PER, SID, MMIO-3 sowie der Entscheidungsflags für die Gleitkommabefehle FD, FL, FT in das lfk. Dazu wurden

- eine erste Variante der Einbindung der Systemregister erstellt
- unter Berücksichtigung der Kompatibilitätsforderungen die logischen Bedingungen aller Steuerstellen erarbeitet, aufgelistet und mit dem Mikroprogramm abgestimmt.

Nach endgültiger Festlegung des Zugriffs zu den internen Registern, die nach Klärung der noch zur Diskussion stehenden Probleme bezüglich ARP- und CIP-Anschluß, Bedienung, Diagnoseunterstützung erfolgt, ist die innere Verbindungsstruktur zu überarbeiten. Die interne Taktversorgung des Schaltkreises ist angearbeitet, aber über die optimale Variante wurde noch nicht entschieden.

3.2.6. Mikroprogrammierung

3.2.6.1. Aufgabenumfang und Bearbeitungsstand

Die Teilaufgabe umfaßt:

- Mikroprogrammatische Steuerung aller CPU-internen Abläufe zur Befehlsabarbeitung
- Analyse der Befehlsliste und Ausarbeitung der Algorithmen für die Befehlsabläufe mit dem Ziel, hohe Verarbeitungsgeschwindigkeit unter Berücksichtigung der Steuerwerks- und Rechenwerksstruktur zu erreichen
- Untersuchung und Einbindung des Prefetchprinzips
- Abstimmung der Abläufe und Steuerstellen mit sämtlichen CPU-Funktionsgruppen (Arbiter, Bussteuerung, Rechenwerk, Steuerwerk) und Koprozessoren (ARP, CIP)
- Laufende Einarbeitung und Prüfung der Realisierungsmöglichkeit von Änderungsforderungen aus anderen Funktionskomplexen
- Analyse von Vergleichsrechnern zur Sicherung der Kompatibilität.

Der Bearbeitungsablauf und -stand sind durch folgende Etappen gekennzeichnet:

- Ausarbeitung der Algorithmen für die Befehlsabläufe (5/80)
- Erster Mikroprogrammmentwurf, unvollständig und ohne starke Bindung an die reale Hardwarestruktur als Testbeispiel (9/80)
- Zweiter Mikroprogrammmentwurf auf der Grundlage des CPU-Entwurfs, Stand A 2, d. h. Rechenwerk mit allen Datenwegen und Steuerstellen im Mikroprogramm berücksichtigt, Kodierung der Steuerstellen im Mikrobefehl frei gewählt, ca. 80 % des Befehlssatzes berücksichtigt (11/80)
- Umsetzen des Mikroprogrammgraphen in MIPLA-Quelltext und Übersetzung in Produkterme, Beseitigung von Widersprüchen in der kombinatorischen Aufgabenstellung, operative Anpassung und Erweiterung der Programmsysteme durch ZFT/E 33, Übergabe der rechnerinternen Darstellung zur PLA-Optimierung an das ZKI (4/81)
- Durchführung der 1. Iteration der PLA-Optimierung durch das ZKI (4/81)
- Änderung und Ergänzung der Mikroprogramme entsprechend des aktuellen Standes des CPU-Entwurfes mit vollständiger Befehlsliste gemäß 2.10., Einbindung des ARP- und CIP-Anschlusses, der Bedienung und Anfangseinstellung; MIPLA-Beschreibung und Übersetzung in die kombinatorische Aufgabenstellung, Übergabe an das ZKI für die 2. Iteration der PLA-Optimierung (6/81).

3.2.6.2. Zur Arbeitsteilung bei der PLA-Optimierung

Die Minimierung des Flächenbedarfes für die PLA's des Steuerwerks ist eine Aufgabe von grundsätzlicher Bedeutung für die Realisierbarkeit des Schaltkreises. Sie erfolgte und erfolgt unter Anwendung rechen technischer Mittel und der vom ZKI in vertraglicher Bindung (über ZFT/E 33) erarbeiteten Programmsysteme. Folgende Arbeitsteilung und Hilfsmittel fanden Anwendung:

ZFT/R:

- Erläuterung und Darstellung der Mikroprogramme zur Einarbeitung des ZKI
- Schreiben des MIPLA-Quelltextes und Einarbeiten aller vom ZKI gewünschten Änderungen; Übersetzen des Quelltextes und Kontrolle auf Widerspruchsfreiheit über Bildschirmterminal der Anlage 217;

Umwandlung der MIPLA-Ausgangsdatei in RENDIS -Form und Übertragung auf Magnetband

ZKI:

- Entwicklung des Programmsystems SPINNE, Erläuterung der Kodierungsprinzipien und Aufstellung von Kodierungsregeln
- Festlegung der Knotenkodierungen
- Aufspalten und Falten der Ausgangs-PLA mittels SPINNE
- Optimierung der Teil-PLA's des Steuerwerks mittels RENDIS

Mit der 1. Iteration der PLA-Optimierung 4/81 wurde erreicht,

- daß der gesamte Optimierungsprozeß unter realen Bedingungen durchlaufen wurde
- die Programmsysteme MIPLA, SPINNE, RENDIS auf Fehlerfreiheit und Anwendbarkeit getestet sowie Mängel, Fehler und Engpässe erkannt und weitgehend beseitigt werden konnten
- ein Optimierungsergebnis vorliegt, das eine Flächenabschätzung der PLA's des Steuerwerks ermöglicht und die Zeitverhältnisse sowie notwendige Änderungen für die nächsten Iterationsstufen einzuschätzen gestattet.

Die genannten Programmsysteme für den rechnergestützten Steuerwerksentwurf können als getestet und für die nächsten Iterationen als voll einsatzfähig angesehen werden. Die Notwendigkeit, diese maschinellen Mittel anzuwenden, hat sich eindeutig bestätigt. Dafür ist die operative Rechnernutzung zu gewährleisten.

3.2.7. Diagnoseunterstützung

Die Zielstellung bestand darin, für Schaltkreise mit aktivem Verhalten, insbesondere für die CPU, auf der Grundlage der vorhandenen Schaltkreiskonzeption eine Unterstützung für die Diagnose im Sinne der Fehlererkennung, -eingrenzung, -lokalisierung und -beseitigung insbesondere im Prozeß der Schaltkreisentwicklung und Inbetriebnahme zu bieten, dazu die möglichen Lösungsvarianten zu untersuchen und für die Einarbeitung in den CPU-Schaltkreis aufzubereiten.

3.2.7.1. Lösungsvarianten und -vorschlag

Ausgehend von bekannten Prüfstrategien und von Diagnosehilfsmitteln wurden als Lösungsmöglichkeiten betrachtet:

- Kombination von Diagnose und Bedienung mit gemeinsamer mikroprogrammtechnischer Stützung
- Trennung von Diagnose und Bedienung mit mikroprogrammtechnischer Stützung eines Minimums von Bedienoperationen für die Diagnose oder deren hardwaremäßige Implementierung und programmtechnische Stützung der Bedienung.

Unter dem Aspekt eines minimalen Zusatzaufwandes für Diagnose und Bedienung im CPU-Schaltkreis, insbesondere im Mikroprogrammsteuerwerk, und unter Berücksichtigung der Erfahrungen beim System K 1600 wurde die 2. Variante gewählt.

Die Forderung nach einem minimalen funktionstüchtigen Kern für die Ein- und Ausgabe von Steuerinformationen und Mikrobefehlen bzw. Mikrobefehlsadressen für die Diagnose und nach möglichst geringen Änderungen an der Struktur der CPU führte zur Wahl einer seriellen Informationsübertragung über zusätzliche Verbindungswege mit logikgesteuerter Ein- und Ausgabe für Koderegister und Mikrobefehlsregister. Als Betriebsweisen sind Schritt- und Folgebetrieb erforderlich, die mit Ein- und/oder Ausgabe kombiniert werden müssen.

3.2.7.2. Bearbeitungsstand

Für die serielle Diagnose des CPU-Schaltkreises mit Zugriff zum Koderegister und Mikrobefehlsregister liegt eine Lösung mit Aufteilung in externe und interne Steuerlogik vor, deren Realisierung ein Kompromiß zwischen Anzahl der benutzten Pins für Diagnosezwecke und dem Umfang der

internen Steuerlogik darstellt. Die Lösung ist soweit aufbereitet, daß sie in den Schaltkreisentwurf auf Transistorplanniveau eingearbeitet werden kann. Sie ist bei allen Schaltkreisen mit aktivem Verhalten, also auch bei den Koprozessoren ARP und CIP, anwendbar. Es ist nicht bekannt, daß international eingeführte Mikroprozessoren eine Diagnoseunterstützung bieten.

3.2.8. Ergebnisse der PLA-Optimierung

Die Ausgangsdaten der kombinatorischen Aufgabenstellung für die 1. Iteration betrugen

29 Eingänge
68 Ausgänge
2750 Produktterme
ca. 300 Knoten (Mikrobefehle).

Die Ergebnisse des Optimierungslaufes /3.8/ zeigen, daß

- die Ausgabe-PLA bei ca. 300 Mikrobefehlen nur 120 Ausgabebelegungen aufweist, d. h. es tritt ein sehr günstiger Wiederholfaktor auf. Darin sind weitere Möglichkeiten zur Verringerung der Anzahl der Produktterme (gegenwärtig 198) zu sehen.
- die Folge-PLA mit 240 Produktterme sich als unkritisch erweist
- die Befehlsdekodier-PLA mit 379 Produktterme noch zu groß ist
- der reine Flächenbedarf aller 3 PLA's auf der Grundlage der Entwurfsregeln von 9/80 nur $7,9 \text{ mm}^2$ beträgt, ein Wert, der frühere Grobabschätzungen bestätigt.
- die gewählte Steuerwerksstruktur tragfähig ist.

Es wird eingeschätzt, daß

- sich das Optimierungsergebnis noch merklich verbessern läßt
- sich die Befehlsdekodiermatrix z. B. durch veränderte ARP-Steuerung verkleinern läßt
- die noch nicht einbezogenen Befehle MUL, DIV, BMOV, Bitbefehle die Befehlsdekodier-PLA nur unmerklich belasten, sondern nur eine relativ unkritische Vergrößerung der Folge- und Ausgabe-PLA bedingen. Die Vervollständigung des Mikroprogramms für die 2. Iteration eine Vergrößerung des MIPLA-Quelltextes um ca. 20 % zur Folge hat.

3.2.8. Grobsimulation in SDL

3.2.8.1. Zielstellung

Die Zielstellung der SDL-Simulation auf Grobentwurfsniveau besteht in der Überprüfung des Zusammenwirkens der einzelnen Systemkomponenten, d. h. CPU, CMU, ARP, CIP, Speichermodell unter Einbeziehung des Systembusses sowie des Zusammenwirkens der einzelnen Funktionseinheiten innerhalb des CPU-Schaltkreises und damit in der Gewährleistung einer hohen Entwurfssicherheit. Dazu ist vorgesehen, die Möglichkeiten des vorhandenen SDL-Programmsystems voll zu nutzen und im möglichen Rahmen zu erweitern sowie gleichlaufend mit dem Fortschreiten des Entwurfsprozesses das Systemmodell ständig zu aktualisieren.

3.2.8.2. Bearbeitungsstand und Ergebnisse

Basierend auf dem bisher erreichten Entwurfsstand konnte bis zum Themenende das Zusammenwirken der CPU mit dem ARP und der CMU sowie einem Hauptspeichermodell hinsichtlich des ordnungsgemäßen Ablaufes des Bussignalspieles simuliert werden. Die Funktionsabläufe innerhalb der einzelnen Komponenten wurden dabei nur soweit erfaßt, wie es für das externe Signalspiel mit dem Bus und der CMU und dem ARP unter Einschluß der E/A-Steuerung der CPU notwendig bzw. entsprechend dem Entwurfsstand der CPU möglich war.

Die Simulation erfolgte in einem festen Zeitraster, wobei die Schrittweite dieses Rasters entsprechend dem Busspiel mit 125 ns festgelegt wurde. Überprüft wurde im einzelnen die ordnungsgemäße Aufeinanderfolge der Buszyklen für alle wesentlichen Klassen von ARP-Befehlen in den verschiedenen

Adressierungsmodi sowie das zeitliche und logisch richtige Bussignalspiel innerhalb der einzelnen Buszyklen.

Die bisherigen Simulationsergebnisse /3.12/ zeigen, daß auf dem gegenwärtigen Entwurfsniveau nur wenige Entwurfsfehler echt als Resultat der Simulation gefunden werden. Der größere Teil der Fehler wurde bereits vor der Simulation im Ergebnis der exakten Formulierung der Entwürfe in der Sprache SDL bzw. bei der Abstimmung der einzelnen Modelle gefunden. Der Anteil der Simulation bei der Fehlerauffindung wird sich schrittweise mit der wachsenden Komplexität des Entwurfs erhöhen.

3.2.8.3. Weiterführung

Im weiteren Verlauf des Entwurfsprozesses ist geplant, das Simulationsmodell des CPU-Schaltkreises durch schrittweises Hinzufügen der Funktionseinheiten Mikroprogramm-Steuerwerk, Rechenwerk, Arbiter, restliche Logik sowie durch den Anschluß der Mikroprogramm-PLA's (aufgeteilt und optimiert auf RENDIS-Basis und evtl. als Gesamt-PLA auf dem Niveau der MIPLA-Beschreibung) soweit zu vervollkommen, daß schließlich die Simulation der Abarbeitung ganzer Maschinenbefehle bzw. Programme mit allen dafür notwendigen Buszyklen möglich wird.

Die SDL-Beschreibung der einzelnen Funktionsblöcke der CPU wurde begonnen, aber zunächst wieder zurückgestellt, da infolge der unzureichenden Bearbeitung der technologischen Umsetzung des Grobentwurfes und der damit nicht ausreichenden Einarbeitung der Rückwirkungen die notwendige Stabilität des Grobentwurfes noch nicht erreicht werden konnte. Als nächster Schritt ist das SDL-Modell für das Mikroprogramm-Steuerwerk vorgesehen.

3.2.9. Vorbereitende Arbeiten für nachfolgende Entwurfsstufen

Für die ⁱⁿVLSI-Schaltkreisen zu verwendenden Schaltungstechniken wurden in der Abteilung ZFT/E 345 Kenntnisse insbesondere durch Fremdmusteranalyse von Mikroprozessoren gewonnen.

Für die Erarbeitung des Transistorlogikplanes sind Programmsysteme für die logische Simulation erforderlich, die den Anforderungen der VLSI-Technologie genügen und kürzere Rechenzeiten ermöglichen. Während das Programmsystem SIMPER 10/80 im ZFT implementiert und bei der Nachsimulation des U 832 erprobt und genutzt werden konnte, wurde beim Programmsystem ELSA die vorgesehene Simulationsbereitschaft nicht erreicht.

Bei den konzeptionellen Vorarbeiten für eine einheitliche Schaltkreis-Labormeßtechnik ist ein befriedigender Stand zu verzeichnen.

3.2.10. Gesamteinschätzung

Mit Themenabschluß wurde die Vollständigkeit der Entwurfsstufe 1fK1 des CPU-Schaltkreises erreicht und in der Schaltkreisakte /3.1/ niedergelegt. Die 1. Iterationsstufe der Steuerwerksoptimierung konnte erfolgreich abgeschlossen werden und Teilkomplexe wurden in SDL simuliert. Damit ist eine ausreichende Grundlage für die Bearbeitung des Transistorlogikplanes (TLP) gegeben.

Infolge des Standes der Technologieentwicklung und der anhaltenden oder im 1. Halbjahr 1981 wieder verstärkten Belastung durch die U 83-Bearbeitung konnte eine ausreichende Mitarbeit des TLP-Entwurf kollektivs in der Stufe des Grobentwurfes nicht gewährleistet und der Entwurf nicht auf gesicherte Technologieparameter aufgebaut werden. Somit war die im Modellablauf /3.13/ geplante überlappte und integrierte Bearbeitungsweise und der damit verbundene Zeitgewinn nur teilweise realisierbar. Die nunmehr später einfließenden Rückwirkungen aus der technologischen Umsetzung wie auch die Beseitigung der erkannten Schwachstellen werden eine Überarbeitung des 1fK1 erforderlich machen. Erschwerend wirkte sich die VVS-Einstufung aus.

Adressierungsmodi sowie das zeitliche und logisch richtige Bussignalspiel innerhalb der einzelnen Buszyklen.

Die bisherigen Simulationsergebnisse /3.12/ zeigen, daß auf dem gegenwärtigen Entwurfsniveau nur wenige Entwurfsfehler echt als Resultat der Simulation gefunden werden. Der größere Teil der Fehler wurde bereits vor der Simulation im Ergebnis der exakten Formulierung der Entwürfe in der Sprache SDL bzw. bei der Abstimmung der einzelnen Modelle gefunden. Der Anteil der Simulation bei der Fehlerauffindung wird sich schrittweise mit der wachsenden Komplexität des Entwurfs erhöhen.

3.2.8.3. Weiterführung

Im weiteren Verlauf des Entwurfsprozesses ist geplant, das Simulationsmodell des CPU-Schaltkreises durch schrittweises Hinzufügen der Funktionseinheiten Mikroprogramm-Steuerwerk, Rechenwerk, Arbiter, restliche Logik sowie durch den Anschluß der Mikroprogramm-PIA's (aufgeteilt und optimiert auf RENDIS-Basis und evtl. als Gesamt-PIA auf dem Niveau der MIPLA-Beschreibung) soweit zu vervollkommen, daß schließlich die Simulation der Abarbeitung ganzer Maschinenbefehle bzw. Programme mit allen dafür notwendigen Buszyklen möglich wird.

Die SDL-Beschreibung der einzelnen Funktionsblöcke der CPU wurde begonnen, aber zunächst wieder zurückgestellt, da infolge der unzureichenden Bearbeitung der technologischen Umsetzung des Grobentwurfes und der damit nicht ausreichenden Einarbeitung der Rückwirkungen die notwendige Stabilität des Grobentwurfes noch nicht erreicht werden konnte. Als nächster Schritt ist das SDL-Modell für das Mikroprogramm-Steuerwerk vorgesehen.

3.2.9. Vorbereitende Arbeiten für nachfolgende Entwurfsstufen

Für die ⁱⁿ VLSI-Schaltkreisen zu verwendenden Schaltungstechniken wurden in der Abteilung ZFT/E 345 Kenntnisse insbesondere durch Fremdmusteranalyse von Mikroprozessoren gewonnen.

Für die Erarbeitung des Transistorlogikplanes sind Programmsysteme für die logische Simulation erforderlich, die den Anforderungen der VLSI-Technologie genügen und kürzere Rechenzeiten ermöglichen. Während das Programmsystem SIMPER 10/80 im ZFT implementiert und bei der Nachsimulation des U 832 erprobt und genutzt werden konnte, wurde beim Programmsystem ELSA die vorgesehene Simulationsbereitschaft nicht erreicht.

Bei den konzeptionellen Vorarbeiten für eine einheitliche Schaltkreis-Labormeßtechnik ist ein befriedigender Stand zu verzeichnen.

3.2.10. Gesamteinschätzung

Mit Themenabschluß wurde die Vollständigkeit der Entwurfsstufe 1fK1 des CPU-Schaltkreises erreicht und in der Schaltkreisakte /3.1/ niedergelegt. Die 1. Iterationsstufe der Steuerwerkoptimierung konnte erfolgreich abgeschlossen werden und Teilkomplexe wurden in SDL- simuliert. Damit ist eine ausreichende Grundlage für die Bearbeitung des Transistorlogikplanes (TLP) gegeben.

Infolge des Standes der Technologieentwicklung und der anhaltenden oder im 1. Halbjahr 1981 wieder verstärkten Belastung durch die U 83-Bearbeitung konnte eine ausreichende Mitarbeit des TLP-Entwurfkollektivs in der Stufe des Grobentwurfes nicht gewährleistet und der Entwurf nicht auf gesicherte Technologieparameter aufgebaut werden. Somit war die im Modellablauf /3.13/ geplante überlappte und integrierte Bearbeitungsweise und der damit verbundene Zeitgewinn nur teilweise realisierbar. Die nunmehr später einfließenden Rückwirkungen aus der technologischen Umsetzung wie auch die Beseitigung der erkannten Schwachstellen werden eine Überarbeitung des 1fK1 erforderlich machen. Erschwerend wirkte sich die VVS-Einstufung aus.

Sowohl vom Bearbeitungskollektiv des lfk1 als auch des TLP wird der CPU-Schaltkreis als realisierbar eingeschätzt.

3.3. CMU-Schaltkreis U 841

Zielstellung der Teilaufgabe war es, die Entwurfsstufe lfk1 für den Schaltkreis mit den unter 2.1.2. genannten Parametern zu erreichen und die Realisierbarkeit einzuschätzen. Die Bearbeitung erfolgte durch ein kleines Kollektiv aus Mitarbeitern der Struktureinheiten E 342 und E 323 sowie unter Beteiligung eines Mitarbeiters von ZFTM. Bearbeitungsschwerpunkte waren:

- Untersuchungen zur Adreßtransformation und zum Speicherschutz: Prinzipuntersuchungen zur Bildung der physischen aus der virtuellen Adresse und der Lösung des Speicherschutzes ergaben wegen der bestehenden Kompatibilitätsforderungen keine Möglichkeiten für wesentliche Abweichungen vom Vergleichsmodell.
- Untersuchungen zur Funktionsweise und der technischen Gestaltung des Cache: Es wurden 2 Adressierungsvarianten, mit virtueller und mit physischer Adresse in Betracht gezogen. Adressierung mit der physischen Adresse, wie sie durch eine weitgehende Zeitschachtelung von Adreßtransformation und Lesen des Etikettspeichers möglich ist, reduziert wesentlich den Schaltungsaufwand. Die für einen Cache hinreichender Effektivität wünschenswerte Kapazität von 1 K Worten ist nicht in einem Chip realisierbar, da sich nur maximal 256 Worte unterbringen lassen. Die Probleme der Zusammenschaltung von 4 Chips sind von den im System zum Einsatz kommenden Schaltkreisgehäusen und der Kontaktierungstechnologie auf der Steckeinheit abhängig. Untersuchungen wurden durchgeführt, endgültige Lösungen stehen aus.
- Aufstellung der Anschlußbedingungen
- Funktionsbeschreibung, -ablaufdiagramme, Logikpläne: Die Untersuchungsergebnisse wurden in das Logisch-funktionelle Konzept umgesetzt und in den vorläufigen technischen Forderungen für den Schaltkreis fixiert /3.19/. Die wesentlichsten Funktionsgruppen des Schaltkreises sind:
 - . 48 Seitenadreßregister für die Speicherung der Basisadressen der Adreßtransformation
 - . 48 Seitenbeschreibungsregister für die Speicherung der Zugriffsattribute (Zugriffsschlüssel, zulässige Seitenlänge)
 - . Addiereinrichtung zur Summenbildung von Basisadresse und eines Teils der virtuellen Adresse
 - . Dekodierschaltung für die physische Adresse zum Zwecke der Erkennung der Adressierung interner Register und der Vorbereitung der Statuskorrektur
 - . Analyseschaltung zur Erkennung von Zyklusrechtsverletzungen
 - . Cache-Etikettenteil mit 256 Speicherworten für die Speicherung des oberen Teils der physischen Adresse und eines Gültigkeitsbits
 - . Cache-Datenteil mit 256 Worten für die Pufferung von Arbeitsspeicherdaten
 - . 6 Status/Steuerregister zur Funktionssteuerung und Ausgabe von Zustandsinformationen
 - . Steuerungskomplex zur internen Funktionssteuerung.
- Arbeiten zur Inbetriebnahme- und Prüfkonzption
- Gestaltung der Schaltkreistopologie: Es wurden Untersuchungen zur zweckmäßigen Schaltkreistopologie angestellt und deren Ergebnisse als Grob-Layout dokumentiert.
- Untersuchung der technischen Realisierbarkeit: Durch die Mitarbeit von ZFTM konnte eine detailliertere Untersuchung der technisch-technologischen Realisierbarkeit durchgeführt werden. Die Abschätzungen auf der Grundlage der vorläufigen Entwurfsregeln zeigen, daß der Schaltkreis hinsichtlich Zeitabläufe, Flächenbedarf und Leistungsumsatz an den Grenzen der technologisch erreichbaren Werte liegt. Die Verlustleistung wurde mit etwa 2 W, der Flächenbedarf mit etwa 50 mm² abgeschätzt. Wegen dieser Grenzlage ist eine eindeutige Aussage über die Realisierbarkeit des Schaltkreises nicht möglich, zumal die Technologieparameter noch unvollkommen und unbestätigt sind. Die Möglichkeit, durch Weglassen des Cache-Speichers die Realisierbarkeit erforderlichenfalls zu sichern, bleibt offen.

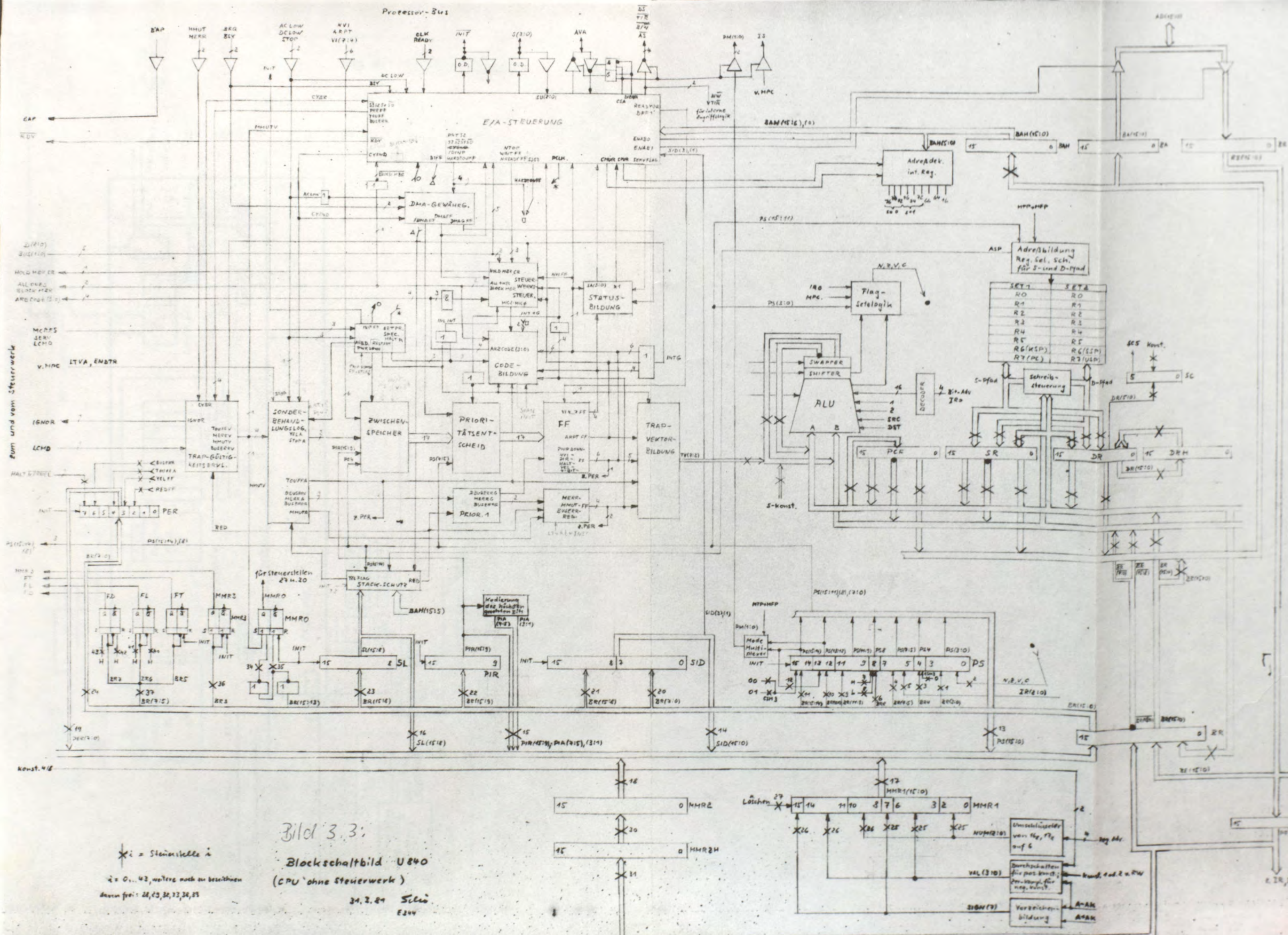


Bild 3.3:

Blockschaltbild U840
(CPU ohne Steuerwerk)

34.2.84 Silo
E244

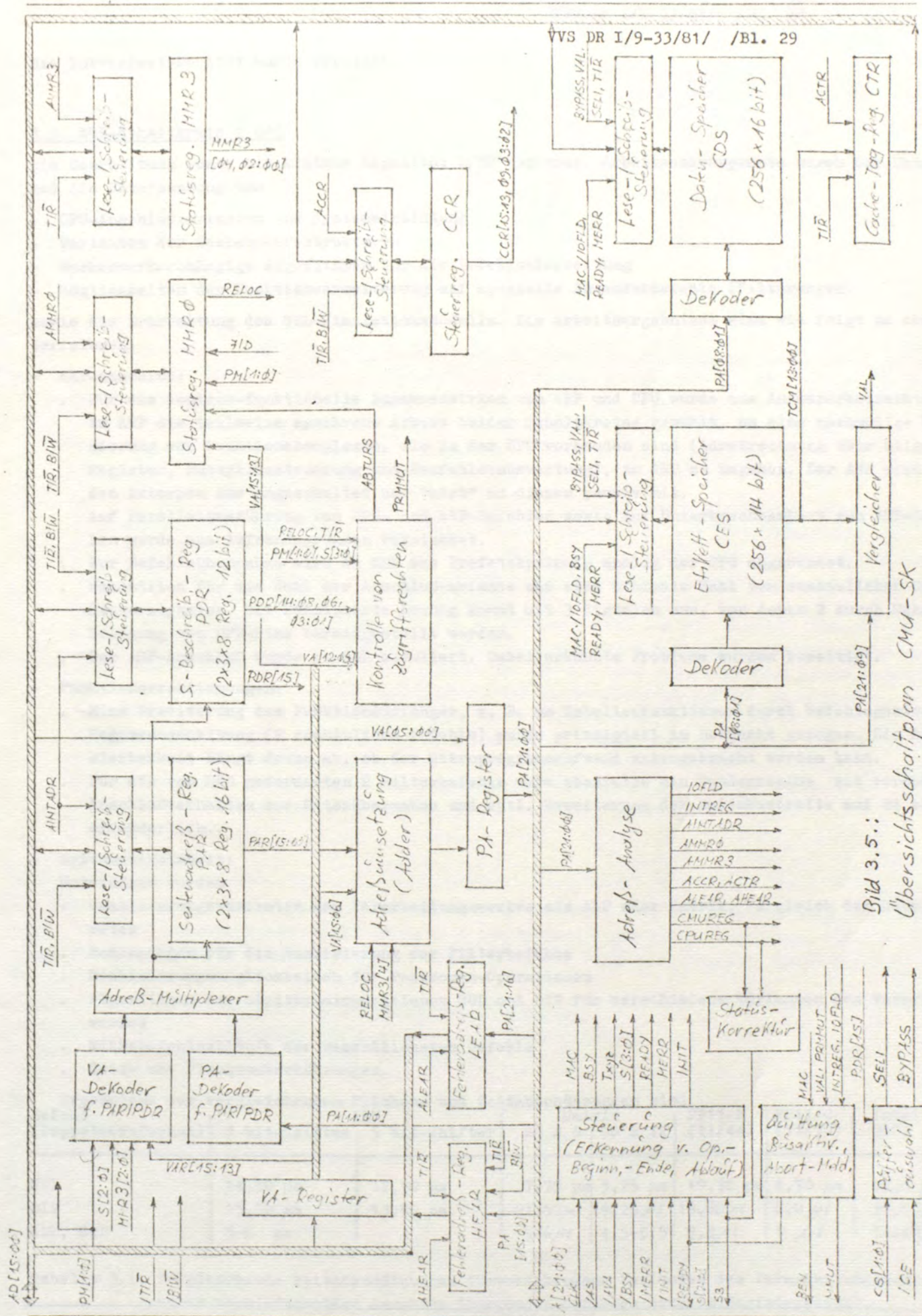


Bild 3.5.1: Übersichtsschaltplan CMU-SK

M.S. 81 Krüger E34.2

Die Entwurfsstufe 1fK1 wurde erreicht.

3.4. ARP-Schaltkreis U 842

Die Bearbeitung wurde mit kleiner Kapazität 2/80 begonnen. Arbeitsschwerpunkte waren der Entwurf und die Untersuchung von

- CPU-Anschlußvarianten und Systemeinbindung
- Varianten der Rechenwerksstrukturen
- Rechenwerksabhängige Algorithmen für die Befehlsabarbeitung
- Möglichkeiten der Funktionserweiterung auf spezielle Anwenderbefehle (Filterungen)

sowie die Erarbeitung des SDL-Simulationsmodells. Die Arbeitsergebnisse sind wie folgt zu charakterisieren:

- ARP-Anschluß:

- Für das logisch-funktionelle Zusammenwirken von ARP und CPU wurde aus Aufwandsbetrachtungen im ARP die teilweise synchrone Arbeit beider Schaltkreise gewählt, um eine nochmalige Realisierung von Funktionskomplexen, die in der CPU vorhanden sind (Adreßrechnung über allgemeine Register, Buszyklussteuerung und Busfehlerauswertung), im ARP zu umgehen. Der ARP wird an den internen Bus angeschaltet und "hört" an diesem passiv mit. Auf Parallelausführung von CPU- und ARP-Befehlen sowie auf Unterbrechbarkeit von ARP-Befehlen wurde aus Aufwandsgründen verzichtet.
- Zur Befehlsübernahme wird im ARP das Prefetchprinzip analog der CPU angewendet.
- Wesentlich für die Wahl der Anschlußvariante war eine minimale Zahl von zusätzlichen CPU-Steuersignalen. Die konzipierte Lösung kommt mit 3 Signalen aus, von denen 2 durch Mehrfachbelegung von CPU-Pins bereitgestellt werden.
- Der ARP-Anschluß wurde in SDL simuliert. Dabei erkannte Probleme wurden beseitigt.

- Funktionserweiterungen:

- Eine Erweiterung des Funktionsumfanges, z. B. um Tabellenfunktionen durch befehlsgesteuerte Regimeumschaltung (2 zusätzliche Befehle) wurde prinzipiell in Betracht gezogen. Die Realisierbarkeit hängt davon ab, ob der Mikroprogrammaufwand untergebracht werden kann.
- Für die von MKD geforderten 2 Filterbefehle wäre ebenfalls ein Sonderregime mit verändertem Anschlußverhalten zur Datenübernahme und evtl. Erweiterung der Datenbusbreite auf 24 bit erforderlich.

- Arithmetikeinheit:

Untersucht wurden

- Realisierungsvarianten des Verarbeitungswerkes als ALU oder Matrix, Vergleich der Hauptparameter
- Bedingungen für die Realisierung der Filterbefehle
- Realisierungsmöglichkeiten für Festkomma-Operationen
- Algorithmen der Gleitkommaoperationen MUL und DIV für verschiedene Varianten des Verarbeitungswerkes
- Mikrobefehlsabläufe der wesentlichsten Befehle
- Zeit- und Flächenabschätzungen.

Ergebnisse der vergleichenden Flächen- und Zeitabschätzungen sind

Befehl (Doppelwortformat)	ALU		Matrix		FP11-F (11/44)	FP11-C (11/70)	Intel 8087
	2 bit-Shifter	5 bit-Shifter	60 x 8	60 x 12			
MUL	14,50 µs	12,50 µs	7,75 µs	5,75 µs	19,70 µs	4,70 µs	27,0 µs
DIV	15,50 µs	13,50 µs	21,50 µs	19,25 µs	19,60 µs	6,0 µs	39,0 µs
ADD, SUB	5-6 µs		5-6 µs	4,5-5,5	9,5 µs	1 µs	14-18 µs

Tabelle 3.1: Vergleichende Zeitabschätzungen für verschiedene Varianten des Verarbeitungswerkes unter vereinfachenden Annahmen (Operanden befinden sich im Registerblock).

	Verhältnis Matrix/ALU
Schaltkreisfläche	1,5...2
Verarbeitungszeit MUL	0,25...0,5
DIV	0,5...0,7
ADD, SUB	1
Steuerungsaufwand	größer 1
Komplexität und Anzahl der Mikrobefehle	wesentlich größer als 1

Tabelle 3.2.1: Abgeschätzte Relationen zwischen Matrix- und ALU-Verarbeitungswerk

- Internationaler Stand:

Für die universelle Anwendung in (8 bit)-Mikroprozessorsystemen sind die Schaltkreise AM 9511 (A) und AM 9512 vorherrschend. In letzter Zeit wurde besonders Intel auf dem Gebiet der Arithmetikzusatzprozessoren durch die Einführung oder Ankündigung des I 8231, I 8232, I 8087 (für I 8086) aktiv. Für die übrigen 16 bit-Mikroprozessor-Systeme existieren noch keine Einchip-ARP. Im neuen System NS 1600 von National Semiconductor soll es den NS 16081 geben.

- Realisierbarkeit, offene Probleme:

- Es wurde einguter Arbeitsstand erreicht /3.22/. Der noch nicht vollständige ARP-Entwurf läßt noch keine verlässliche Realisierbarkeitseinschätzung zu. Die Grobabschätzung, daß eine Matrixstruktur ohne Steuerung 10-12 % der Schaltkreisfläche einnehmen würde, ist ein optimistischer Anhaltspunkt und läßt die Aussage zu, daß zumindest bei Verzicht auf Zusatzfunktionen die Unterbringung des ARP auf einem Chip möglich sein wird.
- Einheitliche Anschlußbedingungen für die Koprozessoren ARP und CIP konnten zunächst nur bedingt erreicht werden, da für die Betriebsweise des CIP aus algorithmischen Gründen eine selbständige Arbeitsweise festgelegt wurde und der CIP erst später in die Systembearbeitung einbezogen wurde. Für die Vereinheitlichung der Anschlußbedingungen der Koprozessoren und Entlastung der CPU ist zu prüfen, ob zu einer autonomen Arbeitsweise des ARP übergegangen wird. Bei Realisierung einer Matrix-Struktur und der in Betracht gezogenen Zusatzfunktionen wird sich der Entwicklungsaufwand, die Komplexität und das Risiko des Schaltkreises wesentlich erhöhen. Die Mitarbeit des MKD ist unbedingt erforderlich. Die Entscheidung für einen solchen Weg wurde aufbereitet und läßt sich kurzfristig treffen.

3.5. DMA-Schaltkreis U 843

Die Bearbeitung erfolgte bei E 344 mit einem Mitarbeiter. Nach Vorliegen des Grobkonzeptes /3.25/ wurde 1/81 die verantwortliche Bearbeitung an E 322 übergeben mit der Zielstellung, als A 4-Leistung die Entwurfsstufe "Grobentwurf" zu erreichen. In der Phase "Grobkonzept" waren die Bearbeitungsschwerpunkte:

- Ermittlung des notwendigen und möglichen Funktionsumfanges
- Untersuchung der Einsatzerfordernisse und der Systemeinbindung
- Entwurf der Blockstruktur und der Pin-Belegung.

Im 1. Halbjahr 1981 konzentrierte sich die Arbeit auf

- Überarbeitung des Busanschlusses, Einführung der internen Adreßerkennung
- Untersuchungen über die Realisierbarkeit von IFSP-Kanälen im Schaltkreis
- Definition des Registersatzes
- Untersuchungen zur Eingliederung in das E/A-System bezüglich Anfangsinitialisierung, Adreßerkennung bzw. DMA-Betriebsarten
- Einführung eines 8 bit-Peripheriebusses, Überarbeitung des peripherieseitigen Interfaces

- Untersuchungen zum EMR-Anschluß mittels 2 Port-Speicher
- Untersuchungen zu Aufwertmöglichkeiten des Konzepts in Richtung eines intelligenten Subsystems mit den Eigenschaften eines E/A-Prozessors, der gleichzeitig eine Vereinfachung und Vereinheitlichung der Betriebssystem-Schnittstelle ermöglicht.

Unter Berücksichtigung des geforderten Terminablaufs der Schaltungsentwicklung wurde eine Kompromißlösung in die Bearbeitung einbezogen. Sie ermöglicht

- die Kopplung zwischen 2 DMA-Schaltkreisen über 8 bit-Peripheriebus mit Koppelprotokoll nach dem Master-Slave-Prinzip, wodurch für einfache Einsatzfälle der BCU-Schaltkreis ersetzt werden kann und eine Mehrpunktkopplung möglich wird
- die Kopplung zweier DMA-Schaltkreise mit Anschluß des U 840 zum Aufbau leistungsfähiger intelligenter Anschlußsteuerungen.

Eine aktuelle Funktionsbeschreibung des Schaltkreises enthält /3.27/.

Zum internationalen Stand:

Der DMA-Schaltkreis U 843 ist sehr multivalent einsetzbar und läßt einen beliebigen Ausbau des E/A-Systems zu. Die Pflichtenheftforderung nach einer aufwandsarmen Gestaltung des E/A-Systems wird erfüllt.

International befinden sich DMA-Schaltkreise der 1. Generation (Intel 8257, Zilog Z 80-DMA) sowie neuentwickelte mehrkanalige DMA-Schaltkreise der 2. Generation (Zilog Z 8016, Motorola MC 68450) auf dem Markt und beweisen hinlänglich die Notwendigkeit solcher Schaltungsentwicklungen. Unabhängig davon werden gegenwärtig im NSW (DMA-fähige) E/A-Prozessoren gefertigt, z. B. I 8089). Für spezielle Peripheriesteuerungen werden außerdem noch Peripheriecontroller bzw. Slave-Prozessoren angeboten (Z 8084, I 8041).

Die vorgesehene Lösung U 843 stellt ein technisch-ökonomisches Optimum der gegebenen Möglichkeiten dar und ist mit mehrkanaligen internationalen DMA-Schaltkreisen vergleichbar bzw. entspricht dem gegenwärtigen internationalen Stand oder geht bezüglich des Funktionsumfangs darüber hinaus.

Realisierbarkeit:

Aussagen zur Unterbringbarkeit des vorgesehenen Funktionsumfangs auf dem Chip liegen nicht vor. Nachdem BCU und PSC als Schaltkreise nicht bilanziert werden konnten, ist der DMA-Schaltkreis der einzige systemspezifische Peripherieschaltkreis des Systems K 1700. Die u. a. deshalb vorgesehene sehr große funktionelle Komplexität erhöht den Schwierigkeitsgrad des Schaltkreises. Andererseits gibt es durch die Mehrkanaligkeit eine Anzahl gleichartiger Funktionseinheiten. Es existieren Vorstellungen, wie der Funktionsumfang des Schaltkreises abgerüstet werden kann, wenn Realisierungsschwierigkeiten dies erfordern.

3.6. BCU-Schaltkreis U 844

Der BCU-Schaltkreis wurde mit kleiner Kapazität bei E 344 in der Stufe des Grobkonzepts bearbeitet. Die unterschiedlichen Anwendungsbedingungen und die Optimierung der Lösungsvariante erforderten eine mehrmalige Überarbeitung des Grobkonzepts /2.2/, /3.28/, /3.29/, /3.30/. Die letzten Änderungen sind gekennzeichnet durch

- Übergang zum 16 bit-breiten Datenbus mit Synchronübertragung zur Erreichung maximaler Übertragungsgeschwindigkeit
- Blockorientierte Übertragung nach logischem Protokoll.

Nachdem sich erwies, daß eine Schaltungsentwicklung zunächst nicht bilanziert werden kann, wurden im 1. Halbjahr 1981 alternative Lösungsvarianten unter Verwendung anderer verfügbarer Schaltkreise in die Bearbeitung einbezogen /3.31/.

Arbeitsschwerpunkte waren:

- Analyse der Anwendungsbedingungen und Konsultation mit potentiellen Anwendern, insbesondere NKM, CZ, MKD, RES
- Konzipierung des Koppelbusses und der KOBUS-Übertragung
- Anschluß an den Systembus, Lösungsmöglichkeiten für den wahlweisen Anschluß an K 1700 und K 1520
- Zusammenarbeit mit dem DMA-Schaltkreis
- Datenzwischenspeicherung mittels FIFO-Puffer
- Abläufe des Verbindungsaufbaus, der Wort- und Blockübertragung, des Übertragungsabschlusses
- Prioritäts- und Interruptorganisation
- Vereinfachung der Betriebssystemschnittstelle (Gerätebedienprogramm)
- Entwicklung des Blockschyltbildes und der Pin-Belegung
- Beginnende detaillierte Durcharbeitung der Schaltkreis-Funktionskomplexe zur Abschätzung der Realisierbarkeit
- Alternative Lösungsvarianten mit PIO, EMR, DMA-Schaltkreis und MS.

Zum internationalen Stand:

Schaltkreise, die die parallele Prozessor- und Rechnerkopplung mit FIFO-Puffer unterstützen, sind bei Zilog mit dem Z 8038 und Z 8060 vorgesehen. Eine mit dem BCU U 844 vergleichbare Schaltkreislösung ist derzeit nicht bekannt.

3.7. PSC-Schaltkreis U 845

Die Bearbeitung wurde III/80 bei E 344 mit einem Mitarbeiter begonnen. Auf Grundlage einer Koordinierungsvereinbarung mit dem FZW /3.32/, die die verantwortliche Schaltkreisbearbeitung als Beteiligung am System K 1700 vorsieht, begann die parallele Bearbeitung beim FZW. Zielstellung für die A 4-Teilleistung war es, erste Ansätze für systembezogene Lösungsvarianten zu erarbeiten /3.32/, /3.33/. Nachdem sich erwies, daß eine Schaltkreisentwicklung zunächst nicht bilanziert werden kann, wurde 1/81 mit der Erarbeitung einer Zwischenlösung unter Verwendung anderer verfügbarer Schaltkreise begonnen /3.37/.

Die Zusammenarbeit mit der Gruppe "Lichtleiterübertragung" bei E 7 beschränkte sich auf Konsultationen zu grundsätzlichen Fragen.

Arbeitsschwerpunkte waren:

- Analyse der Einsatzfälle und Anforderungsbedingungen
- Analyse und Bewertung der Übertragungsverfahren und -protokolle sowie serieller Bussysteme
- Untersuchungen zur Taktübertragung und -rückgewinnung
- Untersuchungen zur Realisierbarkeit der Multiprotokollfähigkeit
- Konzept einer Schaltkreis-Ersatzlösung.

Während sich das FZW in seiner Arbeit hauptsächlich an dem PDV-Bus orientierte (/3.36/), wurde im ZFT vom IFIS, dessen Standardisierung im SKR vorgesehen ist, ausgegangen. Ab 6/81 besteht die Aufgabe, auf der Grundlage der bisherigen Arbeit eine gemeinsame Lösung zu konzipieren. Nach Auffassung der verantwortlichen Bearbeiter im FZW und ZFT bestehen noch keine Voraussetzungen, unmittelbar mit einem PSC-Schaltkreisentwurf zu beginnen.

Zwischenlösung:

Eine Zwischenlösung mit dem Funktionsumfang des PSC wurde mit den Schaltkreisen U 856 (SIO), U 881/882 (EMR), U 843 (DMA), 2K x 8 SRAM und einem MS-Schaltkreis konzipiert (s. Bild 3.6).

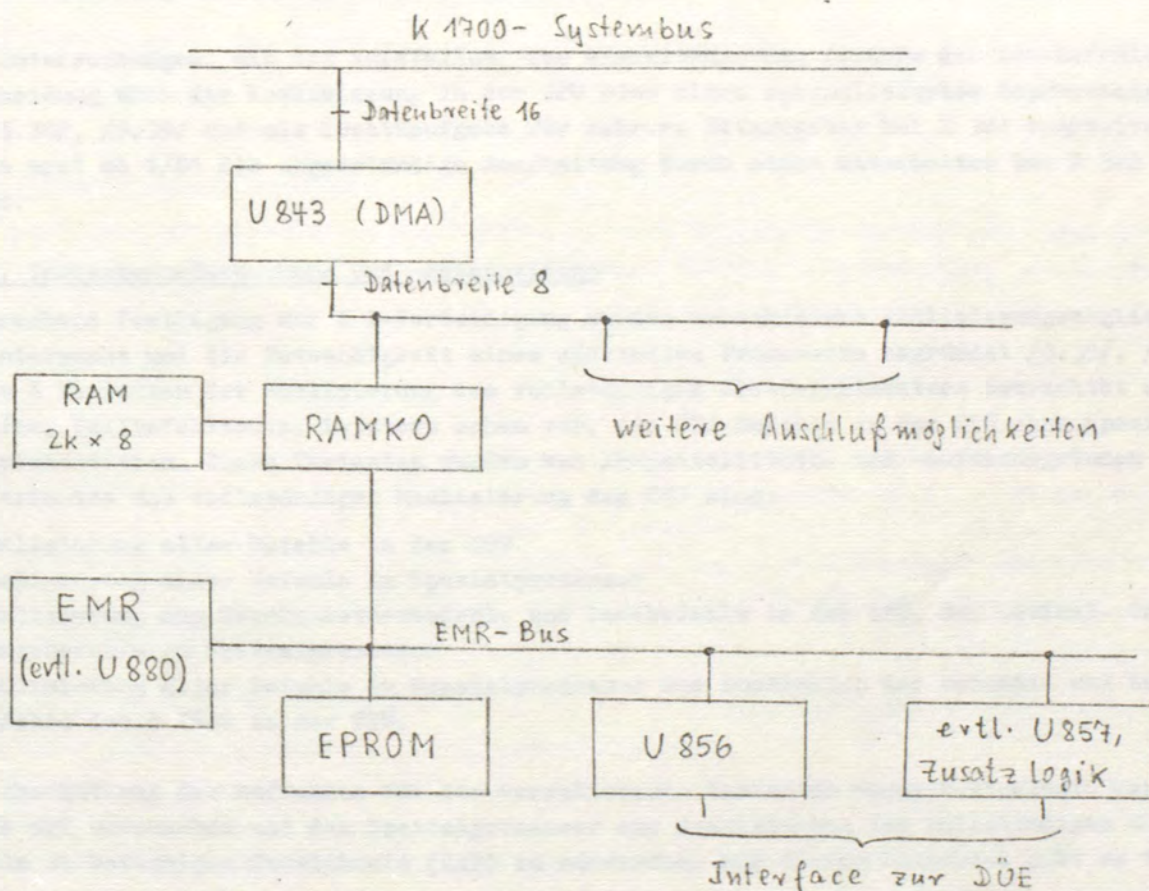


Bild 3.6: PSC-Zwischenlösung

Über den Austausch des zum EMR gehörenden EPROM lassen sich unterschiedliche Übertragungsprotokolle realisieren. Der RAM enthält ein Kommunikationsfeld zur Verständigung zwischen System-CPU und dem EMR-Subrechner und arbeitet im Sinne einer Speicherkopplung. Er enthält außerdem Datenpuffer für mit dem Systemhauptspeicher auszutauschende Daten. Mittels des MS-Schaltkreises RAMKO soll die Buskopplung zwischen den beiden 8 bit-Bussen realisiert werden.

Beim FZW wird ebenfalls an eine Zwischenlösung gedacht.

Zum internationalen Stand:

- International üblich sind relativ einfache und billige, byteorientierte Schaltkreise wie I 8251, ITT 9902/03
- Neuerdings erscheinen zunehmend blockorientierte Schaltkreise mit mittlerem Komfort und Unterstützung mehrerer Protokolle wie Z 8030, I 8273, I 8274, MC 68561
- Als prozedurorientierte Schaltkreise mit dem beim PSC vorgesehenen Funktionsspektrum wurde bisher nur der serielle DMA-Controller mit SDLC/HDLC Motorola MC 68560 für 1982 als Bestandteil des Systems M 68000 angekündigt.

3.8. CIP-Schaltkreis U 846

3.8.1. Bearbeitungsablauf

Die Bearbeitung erfolgte unter der Zielstellung, die grundsätzliche Realisierungsform des CIS zu klären und den Anschluß des CIP an die CPU soweit aufzubereiten, daß die Einarbeitung in die Mikroprogrammsteuerung der CPU bis A 4 erfolgen konnte.

Nach Untersuchungen, die die Aufstellung der algorithmischen Abläufe der CIS-Befehle und die Entscheidung über die Realisierung in der CPU oder einem spezialisierten Koprozessor zum Inhalt hatten /3.38/, /3.39/ und als Zusatzaufgabe für mehrere Mitarbeiter bei E 344 bearbeitet wurde, konnte erst ab 1/81 die eigenständige Bearbeitung durch einen Mitarbeiter bei E 342 abgesichert werden.

3.8.2. Variantenuntersuchung und -entscheidung

Entsprechend Festlegung zur A 2-Verteidigung wurden verschiedene Realisierungsmöglichkeiten des CIS untersucht und die Notwendigkeit eines speziellen Prozessors begründet /3.39/, /3.40/. Es wurden 4 Varianten der Realisierung des vollständigen CIS-Befehlssatzes betrachtet und 3 Varianten für einen Teilbefehlssatz. Letztere sahen vor, die CIS-Befehle in der CPU ohne Spezialprozessor zu implementieren. Diese Varianten wurden aus Kompatibilitäts- und -aufwandsgründen verworfen. Die Varianten mit vollständiger Realisierung des CIS sind:

- Realisierung aller Befehle in der CPU
- Realisierung aller Befehle im Spezialprozessor
- Realisierung der Zeichenkettenbefehle und Ladebefehle in der CPU, der Dezimal- und Konvertierungsbefehle im Spezialprozessor
- Realisierung aller Befehle im Spezialprozessor und zusätzlich der Dezimal- und Zeichenkettenbefehle des K 1630 in der CPU.

Nach Abschätzung des Aufwandes für die verschiedenen Varianten wurde festgelegt, den CIP-Anschluß an die CPU vorzusehen und den Spezialprozessor zur Realisierung des vollständigen CIS-Befehlssatzes als selbständigen Schaltkreis (CIP) zu entwerfen. Für diesen Entschluß gibt es folgende Gründe:

- Eine vollständige bzw. teilweise Realisierung der CIS-Befehle erfordert beträchtliche Hardware-Änderungen im Rechenwerk der CPU (Dezimalkorrektur, Flagsteuerung für Ketten- und Tetradenverarbeitung usw.) und zusätzlichen Platz im Mikroprogrammspeicher (bis zu 330 Mikrobefehle).
- Für den CIP lassen sich ein großer Teil der Entwicklungsergebnisse des CPU-Schaltkreises verwenden (Bussteuerung, Steuerwerk, DMA-Steuerung, Traplogik).
- Ein selbständiger Spezialprozessor gestattet durch spezielle Mikrobefehle und eine problemorientierte Struktur eine schnellere Befehlsabarbeitung.
- Es ist möglich, auf dem Chip Pufferspeicher für die Operanden und Zwischenergebnisse vorzusehen und dadurch Buszyklen zu sparen.
- Der Anschluß des CIP ist mit minimalen Hardwareänderungen in der CPU möglich.

3.8.3. Bearbeitungsstand

Bisher wurden bearbeitet /3.41/:

- Algorithmen der CIS-Befehle
- Funktionen und Arbeitsweise der CPU bei CIS-Befehlen
- Form der Daten- und Befehlsübermittlung
- DMA-, Interrupt- und Trapbehandlung bei CIS-Befehlen
- Pin-Belegung des CIP
- Erste Varianten der Grobstruktur des CIP.

3.8.4. Internationaler Stand

Schaltkreisrealisierungen mit gleichem oder ähnlichem Befehlssatz wie beim CIP sind nicht bekannt.

4. Einsatzmöglichkeiten von Hybrid-Schaltkreisen

Gemäß Festlegung 7. des Protokolls der A 2-Kontrollberatung /1.12/ waren Untersuchungen zu den Einsatzmöglichkeiten von Hybrid-Schaltkreisen für K 1700 durchzuführen.

4.1. CMU-Multichip-Schaltkreis

Zur Leistungserhöhung wurde in Kombination mit dem Speichermanagement ein Cache-Speicher vorgesehen, für den zur Erreichung eines ausreichenden Effekts eine Kapazität von mindestens 1 KWorte erforderlich ist (siehe 2.1.2., 2.13., 3.3.). Dies erfordert die Zusammenschaltung von 4 CMU-Chips, die aus Gründen der Geschwindigkeit der internen Busbelastung kapazitätsarm sowie zur Sicherung der ESR-Realisierbarkeit mit minimalem Flächenbedarf auszuführen ist. Dafür wurde eine Multichip-Hybridlösung mit folgenden Merkmalen konzipiert:

- 4 CMU-Chips auf einem gemeinsamen Keramikträger 33 mm x 60 mm aufgeklebt
- Verdrahtung auf dem Keramikträger in Mehrlagen-Dickschichtdruck (3 Leiterebenen)
- Elektrischer Anschluß der Chips mittels Drahtbonden
- Schutz der Chips mittels Silikon-Chipschutz und zusätzlich übergeklebter Metallkappe
- Anschluß des Hybrid-Bausteins zur Leiterplatte über eine am Keramiksubstrat kontaktierte Armatur für Lockbestückung.

Erste Untersuchungen wurden zu folgenden Fragen mit positivem Ergebnis durchgeführt:

- Zuverlässigkeitseigenschaft der Verkappung (ZFT/E 2)
- Realisierbarkeit der Chipverdrahtung auf dem Träger auf der Grundlage der verfügbaren Dickschichttechnologie
- Realisierbarkeit der Armatur mit erforderlicher Anschlußzahl.

Problematisch ist die Abführung der Verlustleistung und die Reparaturfähigkeit. Gegebenenfalls sind weitere Lösungen wie ein Zweichip-Baustein und andere Dickschichtträger in Betracht zu ziehen.

4.2. Multichip-Speicherbaustein

Als eine praktikable Beispiellösung, die im Rahmen der Forschungsarbeiten an der TU Dresden, Sektion 10, zum Gegenstand "Unterbaugruppe - automatisierter Montagebetrieb - komplexe Überführungsleistung KUL5" wurde zur möglichen Nutzung für die EC1057 und K 1700 ein Multichip-Hybridbaustein 128 K x 4 bit vorgeschlagen (siehe 2.2.1.). Der praktische Einsatz wird davon abhängen, ob die Forderungen

- halbe Leiterplattenfläche wie bei Verwendung von 64 KSchaltkreisen
- Zuverlässigkeit und Reparaturfähigkeit
- geringere oder maximal gleiche Kosten erreichbar sind.

4.3. Hybrid-Schaltkreise im E/A-System

Als Möglichkeit zur weiteren Materialeinsparung und Volumenreduzierung sowie als Vorstufe der perspektivischen Verwendung hybrider Unterbaugruppen wurden erste Überlegungen zu komplexen E/A-Baugruppen in Multichip-Realisierung durchgeführt. Denkbare Kombinationen sind:

- Allgemeiner E/A-Grundbaustein für 2 serielle und 2 parallele Kanäle mit 1x DMA U 843, 1x SIO, 1x CTC, 1x PIO, 1x T502
- Allgemeiner E/A-Grundbaustein für intelligente Anschlußsteuerung und Kopplung von Subsystemen mit 1x DMA U 843, 1x CPU 840
- Mehrkanal-Baustein für Multiplexer-Anwendungen, Schnittstelle U 880 mit 4x SIO, 1x CTC
- Des gleichen mit 2x SIO, 1x CTC
- Rechnersubsystem mit 1x CPU U 840, 1x SIO, 1x PIO, 1x CTC
- Zusammenfassung von Chips auf einem Träger unter Einbeziehung von MS-Chips als BCU, PSC-Ersatzlösungen (siehe 3.6. und 3.7.).

4.4. Grundsatzfragen

Die Einbeziehung von Hybrid-Bausteinen in größerem Maße und in systembestimmende Rechnerbaugruppen wirft eine Reihe von Problemen auf, die grundsätzlich zu lösen sind. Dazu gehören:

- Vertragliche Absicherung der Entwicklung und Produktion bzw. Schaffung der erforderlichen Kapazitäten mit RES, KKW, ZPT
- Lieferung von Nackchips durch KME und Sicherung der Verarbeitbarkeit in Hybrid-Bausteinen, Klärung der Prüf- und Garantieproblematik
- Bereitstellung der notwendigen Materialien und Bauteile, wie Gehäuse, Chipträger usw.

5. Untersuchungen zu verbesserten E/A-Systemstrukturen

5.1. Perspektivische E/A-Konzepte

Ausgehend von der zunehmenden Notwendigkeit,

- den Integrationsgrad in den E/A-Baugruppen von Kleinrechnersystemen zu erhöhen und an den in den übrigen Baugruppen anzugleichen
- der Tendenz zur Dezentralisierung von E/A-Funktionen Rechnung zu tragen
- die Betriebssystemeinbindung, Interfaces und Übertragungsprotokolle zu vereinfachen und zu vereinheitlichen

wurden mit kleiner Kapazität Vorlaufarbeiten zu perspektivisch tragfähigen E/A-Systemstrukturen begonnen. Ausgangspunkte bilden

- die Kommunikation und die Schnittstellen zwischen Rechner und Geräten
- die funktionelle Struktur der Anschlußsteuerungen und deren Flexibilität
- Stauungen der Informationsströme im System und die Problematik der Informationspufferung.

Im Mittelpunkt der bisherigen Arbeiten standen

- konzeptionelle Untersuchungen zu künftigen E/A-Strukturen
- die "Intelligenz" der Anschlußsteuerung und ihre Unterstützung für das Gesamtsystem
- Rolle und Funktion der Bus- und Zweipoint-Speicherkopplung.

In /5.1/ werden mögliche Varianten eines E/A-Konzepts dargestellt.

5.2. Entwurf einer Anschlußsteuerung im Folienspeicher

Im Sinne eines Beispiel- und Studienobjektes wurden Konzept und Grobentwurf einer Anschlußsteuerung für Folienspeicher in Form einer Beleg- und Diplomarbeit erarbeitet /5.4/, /5.5/. Hauptaspekte dabei waren

- Verwendung von LSI-Schaltkreisen, die mit Sicherheit für K 1700 verfügbar sind (U 856, EMR)
- große Universalität der Anschlußsteuerung, d. h. Eignung für Laufwerke mit einfacher und doppelter Schreibdicke, Ein- und Zwei-Leseschreibköpfen, Anschließbarkeit von bis zu 4 Laufwerken
- Betrachtung der Möglichkeiten, die die erhöhte Intelligenz der Anschlußsteuerung bietet.

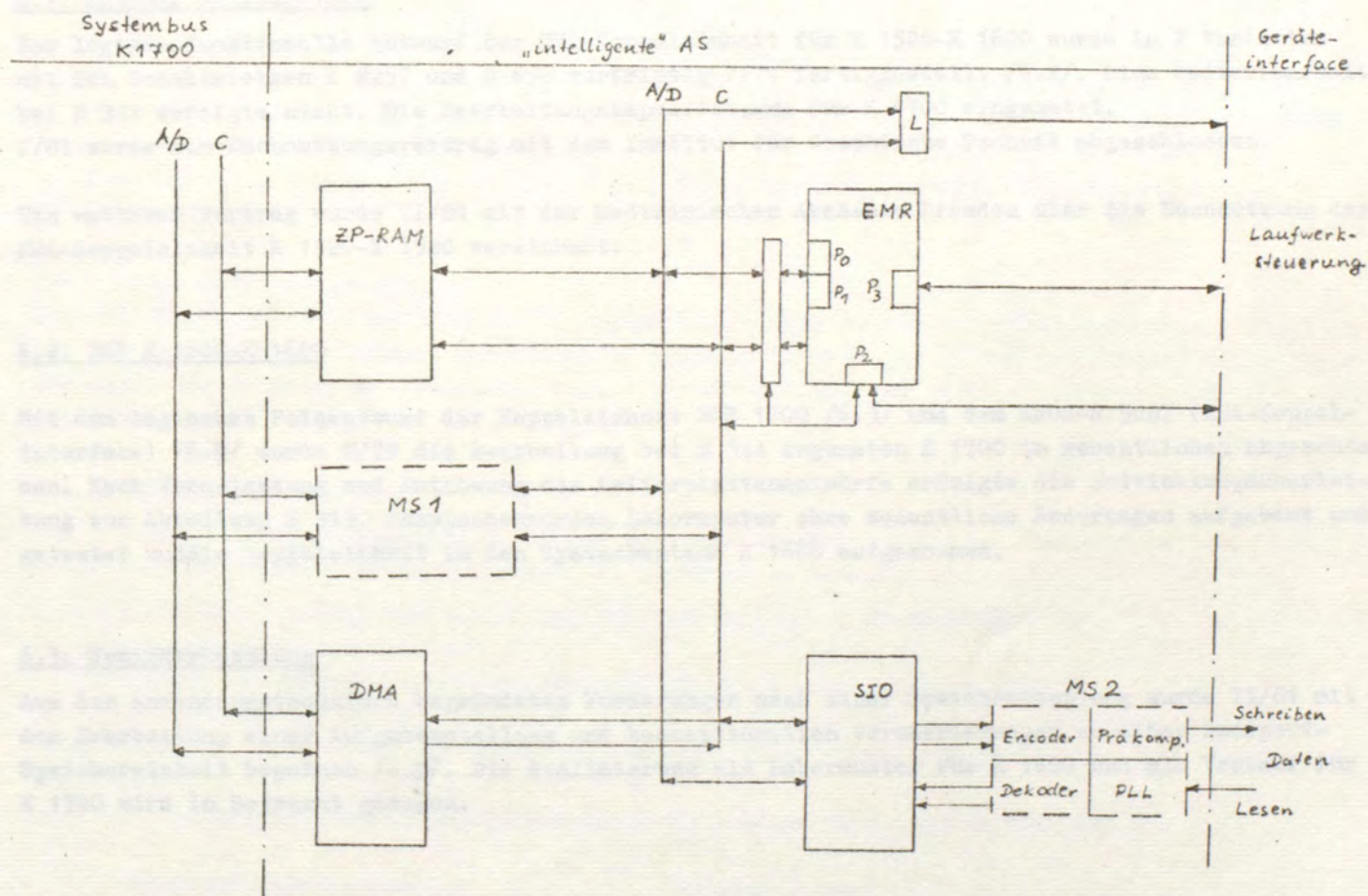


Bild 5.1: Anschlußsteuerung für Folienspeicher mit LSI-Schaltkreisen und erweiterten funktionellen Möglichkeiten

Nach Entwurf der Anschlußsteuerung (siehe Bild 5.1), der die Realisierung von logischen Teilkomplexen als Master-Slice-Schaltkreisen MS1 und MS2 berücksichtigt sowie einen Zweipor-Speicher ZP-RAM vorsieht, wurde mit der experimentellen Erprobung von Teilfunktionen (serieller Datenein-/ausgabekanal bis zum Eintritt in den U 856) begonnen.

Untersuchungen über den Einsatz von MS-Schaltkreisen in intelligenten Anschluß- bzw. Gerätesteu-erungen für "laufwerksnahe" Funktionen führten zu folgenden Vorschlägen:

- Im Datenwandlungskomplex für die Datenrückgewinnung bei einfacher und doppelter Aufzeichnungsdichte durch ein Window-Signal einer externen PLL-Schaltung, die CRC-Prüfung, die Serien-Parallel-Wandlung und die Markenerkennung im Lesekanal sowie die Markenerzeugung, Parallel-Serien-Wandlung, die CRC-Bildung, die Datenkodierung für einfache und doppelte Aufzeichnungsdichte sowie die Prekompensation bei doppelter Aufzeichnungsdichte im Schreibkanal
- Im Laufwerkssteuerungskomplex für die Positionierung, die Lese-/Schreibsteuerung und die Laufwerksaktivierung.

6. Koppereinheiten für Multiprozessorsysteme

6.1. Entwurf KE 1520-1600

Der logisch-funktionelle Entwurf der DMA-Koppereinheit für K 1520-K 1600 wurde in 2 Varianten mit den Schaltkreisen I 8257 und U 858 vorfristig 7/79 fertiggestellt /6.2/. Eine Weiterbearbeitung bei E 344 erfolgte nicht. Die Bearbeitungskapazität wurde für K 1700 eingesetzt. I/81 wurde ein Nachnutzungsvertrag mit dem Institut für Graphische Technik abgeschlossen.

Ein weiterer Vertrag wurde II/81 mit der Medizinischen Akademie Dresden über die Nachnutzung der DMA-Koppereinheit K 1520-K 1600 vereinbart.

6.2. BKE K 1600-K 1600

Mit dem logischen Feinentwurf der Koppereinheit BKE 1600 /6.3/ und dem KROS-R 5007 (DMA-Koppelinterface) /6.4/ wurde 8/79 die Bearbeitung bei E 344 zugunsten K 1700 im wesentlichen abgeschlossen. Nach Veranlassung und Betreuung der Leiterplattenentwürfe erfolgte die Entwicklungsüberleitung zur Abteilung E 313. Inzwischen wurden Labormuster ohne wesentliche Änderungen aufgebaut und getestet und die Koppereinheit in den Systembestand K 1600 aufgenommen.

6.3. Speicherkopplung

Aus den anwendungstechnisch begründeten Forderungen nach einer Speicherkopplung wurde II/81 mit der Erarbeitung einer Aufgabenstellung und konzeptionellen Vorüberlegungen zu einer Zweiport-Speichereinheit begonnen /6.5/. Die Realisierung als Labormuster für K 1600 und als Vorlauf für K 1700 wird in Betracht gezogen.

7. Multiprozessor- und Spezialsysteme

7.1. Fileprozessor

7.1.1. Charakteristik der Aufgabe

Die Teilaufgabe beinhaltet, ein Zweiprozessorsystem auf Basis K 1600/K 1700 zu konzipieren, die Lösung zu erarbeiten und zu simulieren sowie Anwendungsvorschläge zu unterbreiten. Das Zweiprozessorsystem wird hierbei als ein einheitlicher Systementwurf von Software und Hardware verstanden und soll die Basis für ein Kleinrechnersystem erhöhter Leistung darstellen. Wesentliche Vorgaben bzw. Zielstellungen für die Teilaufgabe "Fileprozessor" (FP) waren:

- Übernahme bzw. Unterstützung der Dateiarbeit durch den FP
- Nutzungsmöglichkeit noch im System K 1600
- Einbindung in das Betriebssystem MOOS 1600
- Kompatibilität der FP-Arbeit bezüglich der Nutzerprogramme

- Möglichkeit der Erweiterbarkeit eines K 1600-Grundsystems
- Unterstützung der DBS-Arbeit (DEM).

7.1.2. Durchgeführte Arbeiten und Lösungsvarianten

Bearbeitungsschwerpunkte waren:

- Einarbeitung in das Betriebssystem MOOS 1600 bzw. RSX-11M
- Einarbeitung in die Arbeitsweise der FCS-Routinen sowie der Zusammenarbeit mit der Exekutive, Untersuchungen zur Arbeitsweise der zentralisierten E/A-Routinen der Exekutive, der ACP-Task und des Plattentreibers
- Untersuchungen zu einer Schnittstelle zwischen Verarbeitungsprozessor und Fileprozessor und Vorschlag für eine Prinzipiellösung des FP
- Untersuchungen zur Zweitask-Arbeit, der Arbeit von verschiedenen Programmen mit einem gemeinsamen Speicherbereich
- Festlegung eines Nachrichtenblocks als "logisches Interface" zwischen Verarbeitungs(VP)- und FP und Erarbeitung der FP-Steuerprogramm-Routinen, Erarbeitung der FP-Simulationslösung
- Einarbeitung in die Arbeitsweise der BKE 1600 und Entwurf eines spezialisierten Gerätebedienprogramms für die Kopeleinheit
- Konzeptionelle Arbeiten zur Problematik Datenbankprozessoren bzw. Datenbankmaschinen und Assoziativspeicher.

Als Lösung wurde erarbeitet:

Der FCS-Blockzugriff wird durch den FP ausgeführt, wobei in den Verarbeitungsmakros READ, WRITE der EMT 377 als Schnittstelle gewählt wurde, während im OPEN das Niveau der Schnittstelle durch Umstellen der FCS-Routinen angehoben wurde, so daß die nötigen Dateizugriffe aufeinanderfolgend im FP ausgeführt werden.

7.1.3. Stand und Ergebnisse

Auf der Basis einer Simulationslösung auf Vergleichsrechner wurde der Funktionsnachweis der FP-Konzeption und -lösung unter folgenden Gesichtspunkten erbracht:

- Schnittstellenfindung und Aufteilung FCS-Routinen auf 2 Prozessoren
- Betriebssystemeinbindung
- Umfang und Art des Nachrichtenaustausches zwischen beiden Prozessoren.

Die Simulationslösung ist für die unmittelbare Überführung auf das K 1600-Zweiprozessorsystem (Jugendobjekt) vorbereitet. Es wurde als Überbrückungsvariante ein spezielles Gerätebedienprogramm geschrieben.

Effektivitätsuntersuchungen bestätigen die erwartete zeitliche Entlastung des VP.

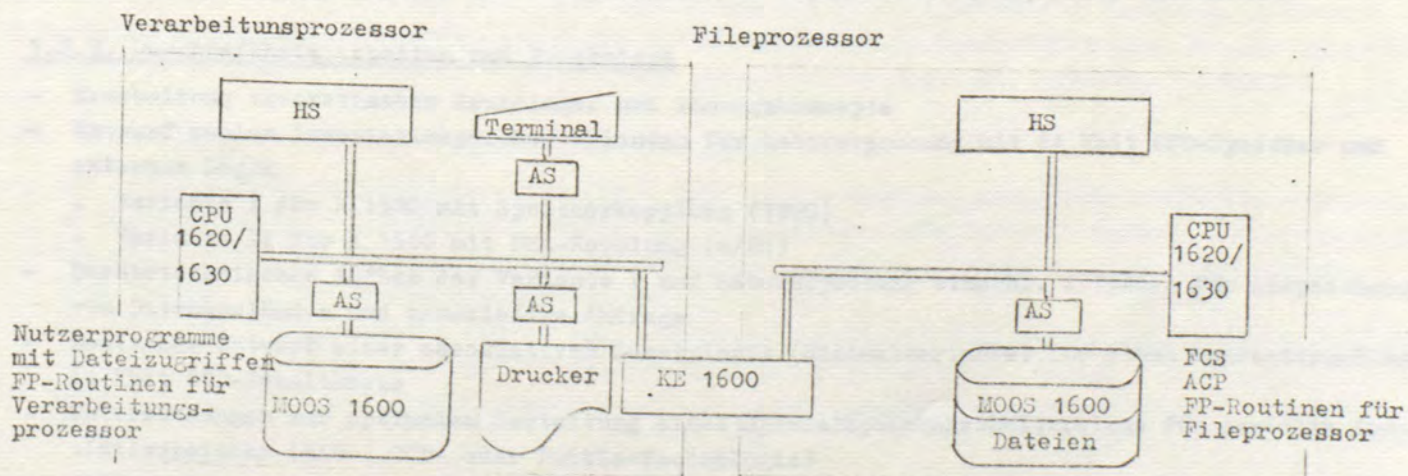


Bild 71.: Systemstruktur mit Fileprozessor

Die Zielstellung des Pflichtenheftes wurde mit geringerer Kapazität erreicht und bezüglich der Aufbereitung für die praktische Nutzbarkeit für Datenbanksysteme und Datenbankmaschinen überboten.

Die Nutzung der FP-Lösung wird von seiten der Bearbeiter der Entwicklungsvorhaben DABA 1600 und SAZU großes Interesse entgegengebracht. Weitere Nutzungsmöglichkeiten bestehen beim AKT und perspektivisch bei Datenbankprozessoren bzw. Datenbankmaschinen. Folgende Nutzungsmöglichkeiten sind zu sehen:

- Fileprozessor zur Erweiterung eines Einprozessorsystems bei hohem Anteil von Dateiarbeit und Mehrnutzerbetrieb
- Fileprozessor zur Unterstützung der Datenbankarbeit, spe ziell von DABA 1600. Die Einbindung erscheint unproblematisch auf Grund der gemeinsamen Nutzung des FCS. Erste experimentelle Arbeiten sind Anfang 1982 möglich.
- Fileprozessor in Verbindung mit dem MPOS (Betriebssystem des Zweiprozessor-Jugendobjekts). Auf dem FP laufen im Multiprogrammbetrieb verschiedene Nutzertasks, eine Task bearbeitet die Fileanforderungen
- Fileprozessor als Basis für ein weiterentwickeltes Datenbanksystem: Verschiebung der Schnittstelle im Datenbanksystem vom EMT 377 des FCS in Richtung der konzeptionellen bzw. Nutzerschicht, womit ein erster Schritt in Richtung Datenbankprozessor vollzogen werden kann.
- Übergang zur Datenbankprozessor-Arbeit in Verbindung mit Zusatzmoduln, die z. B. physische Zugriffe in relationalen Modellen unterstützen.

7.1.4. Internationaler Stand

Für den FP gibt es kein Vorbild. Ähnliche Prinzipien scheinen in den Systemen BMSF 7100 bzw. MCZ 1/90 auf Basis Z 80 realisiert zu sein. Die Anzahl der Lösungen für Datenbasismaschinen hat in der letzten Zeit stark zugenommen.

7.2. Assoziativspeicher

7.2.1. Charakteristik der Aufgabe

Die Aufgabe beinhaltet Entwurf und Aufbau eines seriellen elektronischen Assoziativspeichers bzw. assoziativen Parallelprozessors für nicht numerische Datenverarbeitung. Mit ihm soll der für einen Suchvorgang erforderliche Datentransport um mehrere Größenordnungen gesenkt und das operative Durchsuchen von Datenbeständen im MByte-Bereich ermöglicht werden. Realisierungsgrundlage sind VLSI-Speicherschaltkreise mit interner assoziativer Zusatzlogik, wobei sich letztere bei erhöhtem Aufwand durch externe Logik ersetzen läßt.

Die Aufgabe wurde außerhalb der Pflichtenheftforderungen mit einer Kapazität kleiner 1 VbE zusätzlich unter Einbeziehung von Praktikanten und Diplomanden /7.4/, /7.7/ bearbeitet.

7.2.2. Durchgeführte Arbeiten und Ergebnisse

- Erarbeitung theoretischer Grundlagen und Lösungskonzepte
- Entwurf zweier Assoziativspeichervarianten für Laborerprobung mit 64 Kbit CCD-Speicher und externer Logik
 - . Variante I für K 1520 mit Speicherkopplung (1980)
 - . Variante II für K 1600 mit DMA-Kopplung (6/81)
- Gerätetechnischer Aufbau der Variante I und Laborerprobung einschl. Software für Abspeicherung von Datenbeständen und assoziative Anfrage
- Logischer Entwurf einer assoziativen Zusatzlogik (Minimalvariante) für einen konventionellen 64 Kbit CCD-Schaltkreis
- Untersuchungen zur optimalen Gestaltung eines Speicherschaltkreises für serielle Assoziativspeicher (RAM-, CCD- oder Bubble-Technologie)
- Untersuchungen zum Einsatz serieller Assoziativspeicher
- Vergleich unterschiedlicher Assoziativspeichervarianten.

Der funktionsfähige Aufbau eines Labormusters kleiner Kapazität mit CCD-Speicherelementen beweist die Realisierbarkeit einer praktikablen Lösung und ermöglicht Aufwands- und Effektivitätsausagen.

Der Entwurf für die Umsetzung der Lösung auf K 1600 mit erweiterten funktionellen Möglichkeiten liegt vor /7.5/, /7.7/, /7.8/. Die Arbeitsergebnisse ermöglichen den Entwurf von Speicherschaltkreisen mit assoziativer Zusatzlogik und sind anwendbar für das RAM-, CCD- und Bubble-Speicherprinzip. Es wurden 6 Patente angemeldet.

7.2.3. Einsatzmöglichkeiten

Ein serieller Assoziativspeicher ist für das Durchsuchen formatierter Dateien mit Sätzen konstanter und kleiner Länge besonders geeignet. Unter diesen Voraussetzungen kann er eingesetzt werden

- in Auskunftssystemen mit extrem hoher Belastung (zur Zeit nicht sinnvoll anwendbar, da Rechneranschlußvieler Terminals nicht realisierbar)
- als Strukturspeicher zur Aufnahme komplexer Indexlisten, mit dem Ergebnis der
 - . Vereinfachung der Dateiverwaltung
 - . Beschleunigung des Satzzugriffes
 - . Erweiterung (gegenüber SAZU) und Beschleunigung des Mehrfachschlüsselzugriffs
 - . Verringerung des Speicherplatzbedarfes (größer 10 %)
- als Sortierspeicher zur Beschleunigung des Sortierens von Daten
- als Speicher in einem kleinen Datenbanksystem, z. B. DABA 1600.

Als Realisierungsbasis sind 64 KDRAM-Schaltkreise mit externer und mehrfach genutzter assoziativer TTL-Logik zunächst verwendbar, wenn auch nicht mit optimalem ökonomischen Ergebnis.

7.2.4. Internationaler Stand und offene Probleme

Spezielle Speicherschaltkreise mit assoziativer Zusatzlogik sind nicht als kommerzielle Produkte bekannt. Die im Thema durchgeführten Arbeiten haben internationales Niveau. Auf dieser Grundlage wäre die Realisierung spezieller Schaltkreise (CCD, Bubble) möglich, die den internationalen Stand bestimmen. Nach Konsultation mit Bearbeitern aus dem ZFTM wäre ein CCD-Schaltkreis mit assoziativer Zusatzlogik mit ca. 5 % Mehraufwand verbunden und als Musterschaltkreis relativ kurzfristig realisierbar. Perspektivisch ist ein Bubble-Speicherelement mit assoziativer Zusatzlogik besonders interessant.

7.3. Gerätetechnisch unterstützte Sprachinterpretation

7.3.1. Charakteristik der Aufgabe

Die Teilaufgabe beinhaltet die effektive Gestaltung von Teilprozessen der Verarbeitung höherer Programmiersprachen durch gerätetechnische Mittel. Effektivisierungsfaktoren sind Geschwindigkeitssteigerung, Softwarereduzierung (vereinfachte Compiler, Portabilität, Kodekomprimierung).

Die Zielstellung der Themenbearbeitung bestand darin

- ein BASIC-Sprachverarbeitungssystem für K 1620 zu konzipieren, auf einem Zweiprozessorsystem zu realisieren und einzuschätzen, wobei die interpretativ abarbeitbare Sprache BASIC vorrangig als softwaremäßiger Einstieg in die Bearbeitung von Compiler/Interpreter-Systemen und als Einarbeitung in die Zwischensprachproblematik diene
- eine für die interpretative Abarbeitung geeignete Zwischensprache zu bestimmen, die die Grundlage des Zielkodes für mehrere höhere Programmiersprachen einschl. PASCAL bilden kann
- das Aufgabengebiet der gerätetechnisch unterstützten Sprachinterpretation generell zu verfolgen.

7.3.2. Durchgeführte Arbeiten

- Konzipierung des Zweiprozessor-Sprachverarbeitungssystems BASIC-SVS-16 auf Grundlage K 1620 (Geräte- und Programmkomponenten, Funktionsteilung, Kopplungsproblematik, Betriebssystemeinkbindung).
- Von den betrachteten Lösungsvarianten /7.11/, /7.13/ wurde ein Zweiprozessorsystem mit Quellsprachdirektinterpretation (Zwischensprachteile sind nur latent vorhanden und werden sofort interpretativ abgearbeitet) den Einprozessorsystemen mit direkter Interpretation der Quellsprache bzw. der Zwischensprache vorgezogen, weil hiermit
- ein separater Prozessor für die Zwischensprachinterpretation vorliegt, der in funktionell ähnlicher Form bei einer Vielzahl von Sprachprozessoren eine Rolle spielt (Schnittstellenproblematik)
 - die gegenüber der Einprozessorsystemlösung mögliche Effektivitätssteigerung durch Parallelarbeit zweier Prozessoren bei geeigneter Funktionsteilung ausnutzbar ist und gegenüber einer Lösung mit Abspeicherung der Zwischensprache Speicherplatz eingespart werden kann.

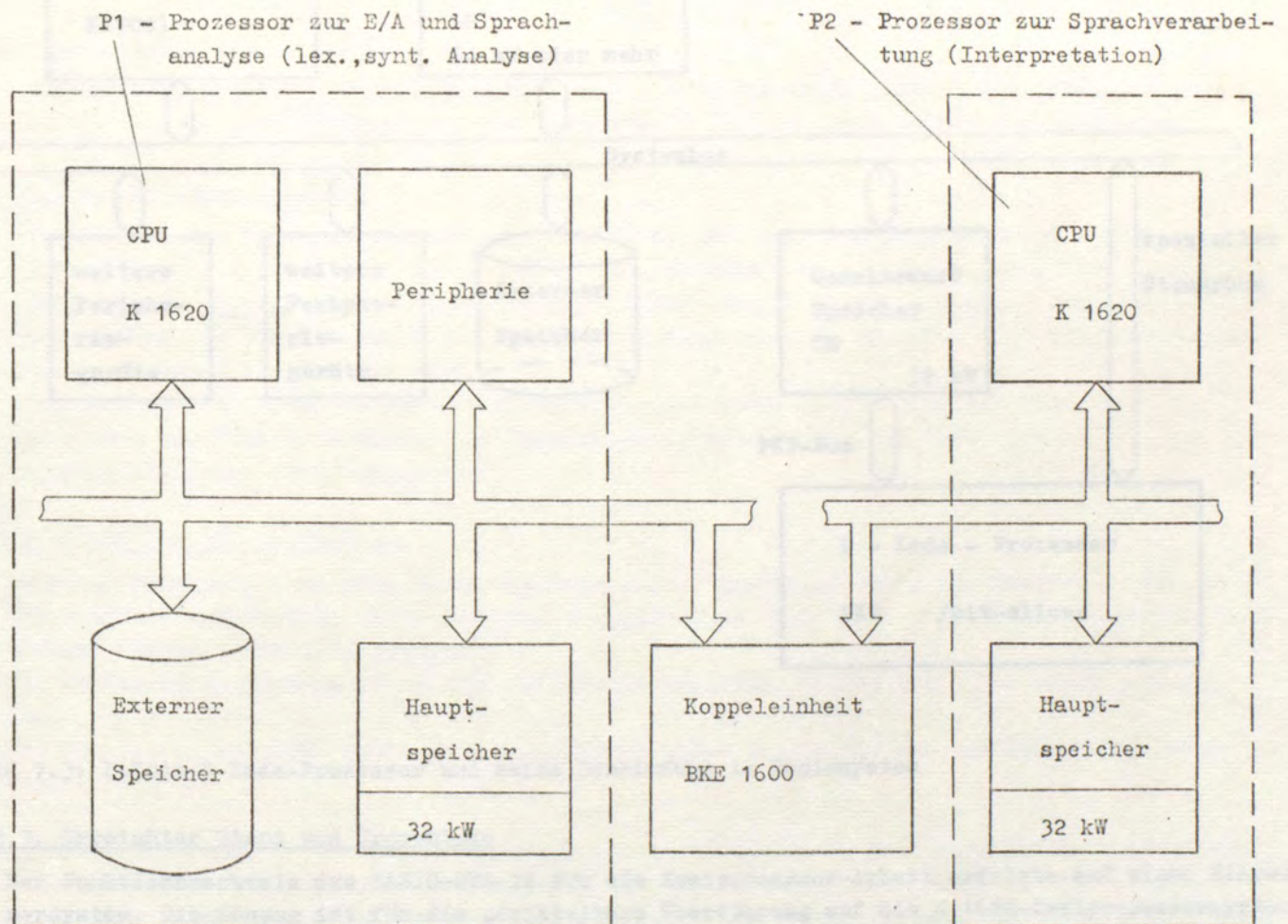


Bild 7.2: BASIC-Zweiprozessor-Sprachverarbeitungssystem (BASIC-SVS-16)

- Programmierung und Testung der BASIC-Systemprogramme in Assemblersprache K 1600 (24 KByte für Compiler, 17 KByte für Interpreter und Hilfsprogramme)
- Zwei-Task-Simulation des BASIC-SVS-16 auf einem dem K 1620 ähnlichen Rechner unter Verwendung eines von der IHD zugearbeiteten Hilfsprogramms zur Nachbildung der Übertragung über die Koppeleinheit; sämtliche BASIC-Funktionen erprobt.

- Einarbeitung in die PASCAL-Programmierung und detaillierte Analyse des PASCAL-P-Kode-Interpreters (α -P-Kode)
- Programmierung und Testung des α -P-Kode-Assemblers und β -P-Kode-Interpreters (Software-lösung)
- Grobkonzeption des P-Kode-Prozessors als weitgehend autonom arbeitender Zusatzprozessor für Basissystem K 1600/K 1700, Kopplung über gemeinsamen Speicher, mikroprogrammtechnische Lösung der α' -P-Kode-Interpretation.

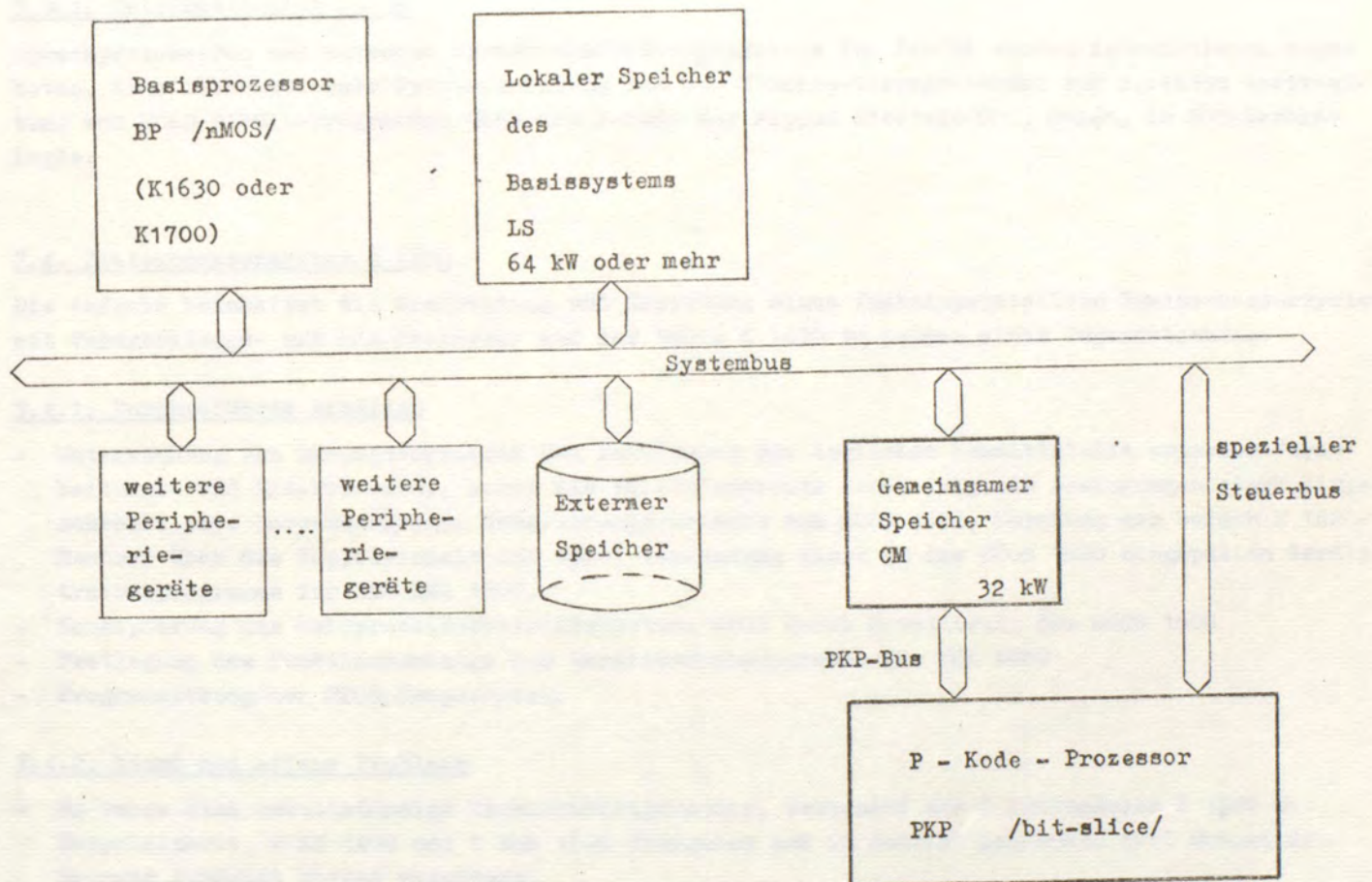


Bild 7.3: PASCAL-P-Kode-Prozessor und seine Einbindung im Basissystem

7.3.3. Erreichter Stand und Ergebnisse

- Der Funktionsnachweis des BASIC-SVS-16 für die Zweiprozessor-Arbeit erfolgte auf einem Einrechnersystem. Die Lösung ist für die unmittelbare Überführung auf das K 1620-Zweiprozessorsystem (Jugendobjekt) vorbereitet
- Erste Messungen auf der Basis der Simulationslösung ergaben, daß auf Grund der Nichtabspeicherung der Zwischensprache ca. um 50 % umfangreichere Quellprogramme verarbeitbar sind
- Funktionsnachweis des α -P-Kode-Assemblers und wesentlicher Teile des β -P-Kode-Interpreters wurden erbracht
- Das Grobfunktionsschema des α' -P-Kode-Prozessors und die Detailfunktionen einer Reihe von Baugruppen wurden untersucht, erste Grobabschätzungen lassen einen Aufwand von ca. 3 Leiterkarten für eine TTL-bit-slice-Realisierung erwarten.

Die Zielstellung des Pflichtenheftes wurde erreicht und in den Punkten

- Leistungsumfang der BASIC-Implementation
- Analyse und Programmierung P-Kode-Interpreter
- Konzipierung des P-Kode-Prozessors überboten.

Das BASIC-Zweiprozessorsystem stellt eine geeignete Variante für die Hauptspeicherresidente Implementation eines inkrementell arbeitenden Compiler-Interpreter-Systems unter den gegebenen Operativspeicherplatz-Einschränkungen (32 K Worte) dar. Es ist besonders für Aufgaben mit Matrizen- und Zeichenkettenverarbeitung (Textverarbeitung) geeignet.

7.3.4. Internationaler Stand

Sprachprozessoren und autonome Sprachverarbeitungssysteme für PASCAL werden international angeboten. Eine internationale Spitzenleistung ist der Binchip-Mikroprozessor zur direkten Verarbeitung von UCSD-PASCAL-Programmen über den P-Kode der Nippon Electric CO., Japan, in MOS-Technologie.

7.4. Zweiprozessorsystem K 1600

Die Aufgabe beinhaltet die Erarbeitung und Erprobung eines funktionsgeteilten Zweiprozessorsystems mit Verarbeitungs- und E/A-Prozessor auf der Basis K 1620 im Rahmen eines Jugendobjektes.

7.4.1. Durchgeführte Arbeiten

- Untersuchung von Lösungsvarianten und Bestimmung der logischen Schnittstelle zwischen Verarbeitungs- und E/A-Prozessor, wobei die Variantenbreite durch folgende Bedingungen stark eingeschränkt ist: Verwendung einer Generierungsvariante des MOOS 1600, Kopplung der beiden K 1620-Rechner über die Koppereinheit BKE 1600, Verwendung eines in das MOOS 1600 eingepaßten Gerätetreiberprogramms für die BKE 1600.
- Konzipierung des Mehrprozessorbetriebssystems MPOS durch Erweiterung des MOOS 1600
- Festlegung des Funktionsumfangs des Gerätebedienprogramms der BKE 1600
- Programmierung der MPOS-Komponenten.

7.4.2. Stand und offene Probleme

- Es wurde eine unvollständige Rechnerkonfiguration, bestehend aus 2 Prozessoren K 1620 mit Koppereinheit, 2 SM 5400 und 1 BDE 1600 übergeben und in Betrieb genommen. 5/81 wurden die Rechner zunächst wieder abgezogen.
- Das Gerätebedienprogramm für die BKE 1600 wurde erstellt, konnte aber noch nicht getestet werden.
- Die Konzeption des MPOS wurde in Programmkomponenten umgesetzt, konnten aber bisher nicht getestet werden.

Wegen fehlender Rechner- und Betriebssystembereitstellung konnte die ursprüngliche Zielstellung, das Zweiprozessorsystem als Exponat für die ZEM 1980 vorzubereiten, nicht erfüllt werden. Wegen fehlender rechtechnischer Basis ist die jetzt bestehende Zielstellung, die ZEM 1981 zu beschicken, sehr stark gefährdet.

7.5. Parallelverarbeitung

Die Teilaufgabe bestand in der Erarbeitung theoretischer Grundlagen für den Entwurf von parallelverarbeitenden Multiprozessorsystemen und der Konzipierung eines Systems auf der Basis K 1600/ K 1700.

Für die Bearbeitung stand eine eingeschränkte Kapazität von einem Mitarbeiter zur Verfügung.

7.5.1. Durchgeführte Arbeiten

- Entwurf eines Modellsystems zur Dimensionierung eines problemorientierten Multiprozessor-systems, das die Numerik von Algebra-Differentialgleichungssystemen und Differenzenverfahren zur numerischen Lösung partieller Differentialgleichungen unterstützt
- Erarbeitung von Dimensionierungsgrundlagen für ausgewählte Parameter, wie Anzahl der Prozessoren, Busbreite und Transferzeit
- Durchsatzoptimierung für eine ausgewählte Variante eines Pipeline-Systems /7.20/
- Konzeptionelle Arbeiten zur gerätetechnischen Umsetzung des problemorientiert dimensionierten Pipeline-Systems für die Basis K 1600 zur Vorbereitung einer labormäßigen Erprobung, Konzipierung der Steuerungsabläufe für die Kopplung (siehe Bild 7.4).

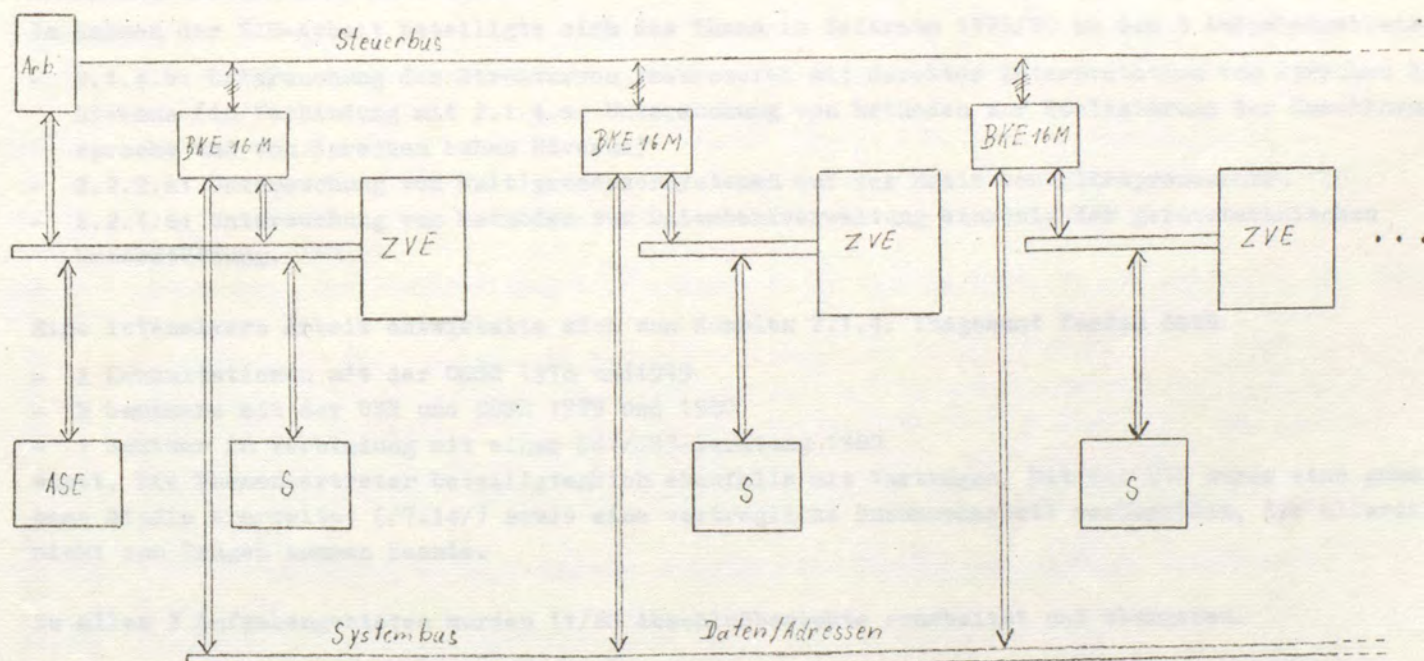


Bild 7.4: Grundstruktur des aufgabengeteilten Multiprozessorsystems auf Basis K 1600

Die geringe Bearbeitungskapazität und der damit erreichte Stand läßt eine entwicklungs-mäßige Umsetzung der Ergebnisse zum gegenwärtigen Zeitpunkt nicht zu. Arbeiten zur Betriebssoftware wurden nicht durchgeführt.

7.5.2. Internationaler Stand

Auf dem Gebiet der Parallelverarbeitung wird international stark gearbeitet, und es wurden eine große Anzahl von Versuchssystemen erprobt. Dieses Niveau wurde mit der Themenbearbeitung noch nicht erreicht.

8. Vertragliche Zusammenarbeit

Mit der Ingenieurhochschule Dresden besteht eine vertragliche Zusammenarbeit mit der Thematik "Untersuchungen zur Gestaltung von Klein- und Prozeßrechnersystemen auf der Basis von Mikroprozessoren und Entwicklung dazugehöriger maschinenorientierter Systemunterlagen", die vom Thema verantwortlich zu koordinieren und zu betreuen ist. Die Bearbeitung erfolgt in den Teilkomplexen

- Analyse von Anwendungsgebieten für den Einsatz von parallelverarbeitenden Mehrmikroprozessorsystemen (pMIPS) und Schaffung von Systemunterlagen für ausgewählte Einsatzfälle
- Untersuchung der Möglichkeiten, Zweckmäßigkeit und Effektivität der Realisierung von Betriebssystemkomponenten an Mikroprozessoren
- Simulation von Rechnern und MIPS-Strukturen
- Entwicklung von Sprachverarbeitungssystemen (SVS) auf der Basis von Mikroprozessoren.

Die Abrechnung der Leistungen erfolgte mit der A 4-Verteidigung 5/81. Die Forschungsergebnisse sind teilweise direkt in die Themenarbeit eingeflossen.

9. Internationale Zusammenarbeit

Im Rahmen der NIR-Arbeit beteiligte sich das Thema im Zeitraum 1976/80 an den 3 Aufgabengebieten

- 2.1.4.b: Untersuchung der Struktur von Prozessoren mit direkter Interpretation von Sprachen hohen Niveaus (in Verbindung mit 2.1.4.a: Untersuchung von Methoden zur Realisierung der Maschinensprache und von Sprachen hohen Niveaus)
- 2.2.2.a: Untersuchung von Multiprozessorsystemen auf der Basis von Mikroprozessoren
- 2.2.4.a: Untersuchung von Methoden zur Datenbankverwaltung einschl. der gerätetechnischen Unterstützung.

Eine intensivere Arbeit entwickelte sich zum Komplex 2.1.4. Insgesamt fanden dazu

- 2 Konsultationen mit der CSSR 1978 und 1979
- 2 Seminare mit der UVR und CSSR 1979 und 1980
- 1 Seminar in Verbindung mit einer SS1/SS3-Beratung 1980

statt. Die Themenvertreter beteiligten sich ebenfalls mit Vorträgen. Mit der UVR wurde eine gemeinsame Studie erarbeitet (/7.14/) sowie eine vertragliche Zusammenarbeit vorbereitet, die allerdings nicht zum Tragen kommen konnte.

Zu allen 3 Aufgabengebieten wurden 11/80 Abschlußberichte erarbeitet und übergeben.

Ab 1981 erfolgt eine Beteiligung an den neuen Forschungsaufgaben zum SKR in folgenden Gruppen:

- 2.1.8.: Strukturvorschlag für einen Prozessor zur Fileverarbeitung und Steuerung von Datenbasen im SKR III
- 2.1.10.: Aufbauprinzipien für Prozessoren zur direkten Sprachinterpretation im SKR III
- 4.1.1.: Vorschläge typischer Mikroprozessorkomplexe für das SKR III.

10. Verzeichnis der Berichte und Materialien zum Thema "K 16N-System und -Prozessoren"

Themendurchführung

- /1.1/ Pflichtenheft, Teil I, VD ZFT/E 342/4/79
- /1.2/ Pflichtenheft, Teil II, VD ZFT/E 342/5/79
- /1.3/ Verteidigungsschrift, Leistungsstufe A 1, VD ZFT/E 34/4/79
- /1.4/ Weltstandsvergleich zur Konzeption K 16N, VD ZFT/E 47/11/80
- /1.5/ Protokoll zur Verteidigung der Leistungsstufe A 1, VD ZFT/E 34/8/79
- /1.6/ Thesen zur Problemlberatung K 1700, VVS DR I/9-14/80
- /1.7/ Protokoll zur Problemlberatung K 1700, VD ZFT/E 34/13/80
- /1.8/ Arbeitsmaterial zur Problemlberatung K 1700, VVS DR I/9-31/80
- /1.9/ Zusammenstellung der Forderungen, Vorgaben bzw. Vorschläge zum System K 16N, Berichts-Nr. 3/344/4/79, Dr. Lindner
- /1.10/ Bericht zur A 2-Kontrollberatung, VVS DR I/9-45/80
- /1.11/ Bericht zur A 2-Kontrollberatung, VVS DR I/9-50/80
- /1.12/ Protokoll der ZFT-internen Vorberatung der A 2-Kontrollberatung, VD ZFT/E 34/54/80
- /1.13/ Verteidigungsprotokoll A 2, VD RKL/EE/68/80

Systementwurf

- /2.1/ Grobkonzept und Lösungsvarianten K 1700, Berichts-Nr. 15/344/10/79, VVS DR I/9-12/80, Themenkollektiv
- /2.2/ Grobkonzept K 1700, Berichts-Nr. 2/344/1/80, VVS DR I/9-13/80, Themenkollektiv
- /2.3/ Mikrorechnersystem K 1700, Stand 1/80 (Grobkonzept), VVS DR I/9-11/80, Themenkollektiv
- /2.4/ Perspektivisches Bauelementespektrum für zukünftige 16 bit-Mikrorechner, VD ZFT/E 34/75/80
- /2.5/ Ergänzungen zur Busgestaltung K 16N, Berichts-Nr. 13/344/6/80, VVS DR I/9-44/80, Dr. Lindner Stark
- /2.6/ Vorschlag für den Bus eines 16 bit-Mikrorechners, VD ZFT/E 34/72/80
- /2.7/ Praktische Busuntersuchungen am Systembusmodell K 16N, Laborbericht-Nr. E 314/8/81
- /2.8/ Beschreibung Systembus K 16N, Berichts-Nr. 26/344/5/81, VVS DR I/9-41/81, Dr. Lindner
- /2.9/ Buscontroller K 16N, Berichts-Nr. 22/344/5/81, VD ZFT/E 344/8/81, Röder
- /2.10/ Literaturbericht zum funktionell-konstruktiven Aufbau von Mikrorechnern, Laborbericht E 312/1/81
- /2.11/ Literaturrecherche zu ausgewählten Problemen der Schrankkonstruktion, Laborbericht E 312/2/81
- /2.12/ Konstruktiv-technologische Konzeption für K 16N, VD ZFT/E 312/1/80
- /2.13/ L-Vorlage: Leiterplattenabmessungen und Steckverbindertypen für K 16N, VD ZFT/E 312/1/81
- /2.14/ Grobentwurf Speicher mit Fehlererkennung/-korrektur, Berichts-Nr. E 32/09/80, VD E 323/1/80
- /2.15/ Konzept für dynamischen OPS (Kurzfassung), Themenbericht-Nr. E 32/10/81
- /2.16/ Kosten- und Preisvorgaben für MR K 16N, VD ZFT/W/31/80
- /2.17/ Systemzuverlässigkeit, Berichts-Nr. 28/344/5/81, Dötzel
- /2.18/ Bedienung K 16N, Berichts-Nr. 38/344/6/81, VVS DR I/9-43/81
- /2.19/ Vorgaben zur Berechnung der Zuverlässigkeit von Rechnern K 16N, E 1
- /2.20/ Grobkonzeption für Diagnose und Bedienung des Systems K 16N, Berichts-Nr. 21/342/7/80, Dr. Kempe
- /2.21/ Probleme der Kompatibilität zwischen K 1600, K 1700 und SKR (CM3, CM4), VD ZFT/E 47/10/80, Dr. Gelfert
- /2.22/ Ergänzung der Leistungs- und Gebrauchswerteinschätzung und Prioritäten der Befehlsliste VVS DR I/9-40/80, Dr. Gelfert
- /2.29/ Studie: Mikrorechnerentwicklungssystem K 1700 (MRES 1700), VD ZFT/E 473/14/80, Dr. Gelfert

- /2.23/ Technische Ausarbeitung: Systembeschreibung K 16N, VVS DR I/9-14/81, Dr. Gelfert
- /2.24/ Technische Ausarbeitung: Kompatibilität zwischen K 1600/CM4/PDP 11, VD ZFT/E 47/3/81, Dr. Gelfert
- /2.25/ Konsequenzen für den Aufwand der MOS-Entwicklung aus der Änderung der E/A-Treiber durch Anwendung von LSI-SK des Systems U 880 bei K 1700, E 47
- /2.26/ Ablösung K 1520 durch K 16N, technische Ausarbeitung Nr. E 473/2/81
- /2.27/ Studie Systemunterlagen für K 1700, VD ZFT/E 4/2/80, Dr. Gelfert
- /2.28/ WTH-Analyse Entwicklungssysteme, Berichts-Nr. 15/344/6/80, Dr. Gurtler
- /2.30/ Grobkonzept Entwicklungssystem UNES, Berichts-Nr. 19/344/5/81, VD ZFT/E 344/12/81, Dr. Gurtler
- /2.31/ DMA-Gewährungsvorgang bei K 16N, Berichts-Nr. 20/344/8/80, Stark
- /2.32/ Begrenzung der Anzahl der Interfaces, Vorschläge zur gruppenweisen Zusammenfassung - Teilbericht, ZFT/E 1/3/80
- /2.33/ Einordnung von FPS/Archivspeicher in die Systeme K 1600 und K 1700 - Teilbericht, E 1
- /2.34/ Vorstellungen zur Nutzung von Hauptspeichern im Megabyte-Bereich - Teilbericht ZFT/E 1/1/80
- /2.35/ Einsatzmöglichkeiten für Magnetblasen(MBD)- und CCD-Speicher in AK/KG auf Basis K 1700, Teilbericht ZFT/E 1/2/80
- /2.36/ Technische Ausarbeitung E 1/102/80
- /2.37/ Systemmitteilungen Nr. 1/79 bis 5/79
- /2.38/ Systemmitteilungen Nr. 1/80 bis 14/80
- /2.39/ Systemmitteilungen Nr. 1/81 bis 3/81
- /2.40/ Bericht TD 1375/ E 315 : *Systembus K16N - konstruktiv-technolog. Ausführungen (VD E 315/2/81)*
Schaltkreisentwurf
- /3.1/ Schaltkreise CPU, VD ZFT/E 34/83/80 (persönlich)
- /3.2/ Verarbeitungswerk K 1700, Berichts-Nr. 19/342/6/80, VD ZFT/E 34/51/80, D. Müller
- /3.3/ Bussteuereinheit K 1700, Berichts-Nr. 18/344/6/80, VD ZFT/E 34/46/80, Matthes
- /3.4/ Analyse von Testprogrammen, Berichts-Nr. 25/344/5/81, VVS DR I/9-39/81, Dr. Kotzurek
- /3.5/ Mikroprogrammierung K 1700, VD ZFT/E 34/50/80, Stitz
- /3.6/ Mikroprogramm K 16N, 2. Entwurf, VVS DR I/9-8/81
- /3.7/ Ergänzung zum Mikroprogramm K 16N, 4/81
- /3.8/ Ergebnisse der PLA-Optimierung K 16N-Mikroprogrammsteuerung, VD ZKI(1)/2/81
- /3.9/ Untersuchungen zur Befehlsabarbeitung in einem Mikroprozessor, Berichts-Nr. 11/344/8/79, VD ZFT/E 34/14/79
- /3.10/ Analyse der optimalen Befehlsbearbeitung und Busbelegung in einem Mikroprozessor, Berichts-Nr. 4/344/4/80, VD ZFT/E 34/35/80, Dr. Kotzurek
- /3.12/ Überblick über den gegenwärtigen Stand der SDL-Simulation K 16N, Berichts-Nr. 24/344/5/81, VVS DR I/9-38/81, Dr. Kotzurek
- /3.13/ Modellablauf für parallele Rechner- und Schaltkreisentwicklung, VVS DR I/9-10/80
- /3.14/ Grobentwurf des Diagnoseverfahrens für den CPU-SK, Berichts-Nr. 27/342/10/80, Dr. Schwertfeger
- /3.15/ Weiterführung Grobentwurf Diagnoseverfahren, Berichts-Nr. 34/342/12/80, Dr. Schwertfeger
- /3.16/ Arbeitsbericht Diagnosesteuerung CPU-SK, Berichts-Nr. 16/342/4/81, Dr. Schwertfeger
- /3.17/ Grobentwurf CMU-SK, Berichts-Nr. 7/342/5/80, VD ZFT/E 34/42/80, Krüger
- /3.18/ Zwischenbericht zur technisch-technologischen Realisierbarkeit des SK U 841 (CMU-SK), VD ZFTM/E 22/12/80
- /3.19/ Schaltkreise U 841: Vorläufige technische Forderungen
Teil 1: Allgemeine Forderungen und Anwendungszweck, VD ZFT/E 323/7/81
Teil 2: Konzeption der IBN- und Funktionsprüfung, VD ZFT/E 323/12/81
Teil 3: Anschlußigenschaften des SK, VD ZFT/E 323/13/81
Teil 4: Logische Realisierung, VD ZFT/E 323/14/81 (26 Logikpläne)
Teil 5: Topologie des SK, VD ZFT/E 323/17/81

- /3.20/ CMU-SK (Kurzbericht), Berichts-Nr. 17/344/4/81
- /3.21/ Untersuchungen zum Anschluß des ARP an den CPU-SK, Berichts-Nr. 14/344/6/80, VVS DR I/9-46/80, Schreier/Trepte
- /3.22/ ARP-Anschluß, Grobstruktur Rechenwerk und Algorithmen, Berichts-Nr. 29/344/5/81, VVS DR I/9-42/81, Schreier/Trepte
- /3.23/ Aufbau und Funktion des Schaltkreises DMA 16N, Berichts-Nr. 11/344/5/80, VD ZFT/E 34/47/80, K. Müller
- /3.24/ Vorschlag zur Veränderung der Arbeitsweise von DMA-17, VD ZFT/E 34/53/80
- /3.25/ Arbeitsbericht Grobkonzept DMA 16N, Berichts-Nr. 31/344/11/80, VD ZFT/E 34/90/80, K. Müller
- /3.26/ Logischer Entwurf einer Anschlußsteuerung für periphere Geräte mit dem Interface IFSP, Diplomarbeit, VD ZFT/E 34/2/81
- /3.27/ Funktionsbeschreibung des DMA-SK U 843, VD ZFT/E 32/6/81, Dechert
- /3.28/ Koppelschaltkreis BCU 17, Berichts-Nr. 6/344/4/80, VD ZFT/E 34/38/80
- /3.29/ Grobkonzept Koppelschaltkreis BCU 16N, Berichts-Nr. 1/344/1/81, VD ZFT/E 34/1/81, Dr. Baldermann
- /3.30/ Ergänzung zum Grobentwurf BCU 16N, Berichts-Nr. 18/344/5/81, VD ZFT/E 344/3/81, Dr. Baldermann
- /3.31/ Alternative Kopplungsvarianten für MMR-Systeme, Berichts-Nr. 3/344/6/81, Laube
- /3.32/ Koordinierungsvereinbarung FZW-ZFT, VD ZFT/E 34/84/80
- /3.33/ Vorläufige Aufgabenstellung zum Schaltkreis U 845, VD ZFT/E 34/92/80
- /3.34/ Übertragungsprotokoll SDLC und seine Realisierung durch LSI-SK, VD ZFT/E 34/95/80
- /3.35/ Stellungnahme zur Analyse der seriellen Interfaces des Typs IFSS...RS232, 3/81
- /3.36/ Systembezogene Lösungsvariante des Schaltkreises U 845 (PSC), VD 529/12/81
- /3.37/ SK PSC und serielle Übertragungsverfahren, Berichts-Nr. 30/344/5/81, VD ZFT/E 344/4/81, Stark
- /3.38/ Grafische Darstellung der algorithmischen Abläufe aller CIS-Befehle, Ausarbeitung 11/80
- /3.39/ Aufwandsabschätzung und Realisierungsvariante für den CIS, Berichts-Nr. 30/344/11/80, Schöne
- /3.40/ Anschluß CIP-Prozessor, Berichts-Nr. 13/342/4/81, Grüneberger
- /3.41/ Realisierung des Anschlusses des CIS-Prozessors (CIP) an die CPU, VVS DR I/9-27/81

E/A-System

- /5.1/ Konzeptionelle Untersuchungen zu E/A-Systemstrukturen, Berichts-Nr. 35/344/6/81, VD ZFT/E 344/10/81, Dr. Falkenberg, Herrmann
- /5.2/ Einsatzmöglichkeiten eines 8 bit-EMR bei K 1700, Berichts-Nr. 13/344/9/79, VD ZFT/E 34/17/79, Stark
- /5.3/ Grobkonzept einer Anschlußeinheit für Floppy-Disk, Berichts-Nr. 33/344/12/80, Otremba
- /5.4/ Logischer Entwurf und Anwendungsuntersuchung einer intelligenten Anschlußsteuerung mit einem Einchip-Mikrorechner und DMA-SK, Berichts-Nr. 2/344/1/81, Belegarbeit Erbe
- /5.5/ Grobentwurf einer Anschlußsteuerung für Folienspeicher unter Verwendung von LSI-SK, Diplomarbeit 1981
- /5.6/ Schaltungskomplexe in einer Folienspeicher-Steuereinheit zur Realisierung in der Master-Slice-Technik, Berichts-Nr. 22/344/5/81, VD ZFT/E 344/7/81, Otremba

Koppeleinheiten

- /6.1/ Merkmale moderner Mikrorechner zur Unterstützung der Multiprozessorarbeit, Berichts-Nr. 2/344/2/79, Schöne
- /6.2/ Logisch-funktioneller Entwurf einer Koppeleinheit K 1520-K 1600, Berichts-Nr. 8/344/7/79, Wolf
- /6.3/ Logischer Feinentwurf der Koppeleinheit KE 1600, Berichts-Nr. 10/344/8/79, Dr. Lindner, Dr. Baldermann

- /6.4/ DMA-Koppelinterface für Mehrprozessorsysteme KROS-R 5007 (Entwurf)
- /6.5/ Speicherkopplung auf der Basis des Dualpartmechanismus, Berichts-Nr. 36/344/6/81

Mehrprozessor- und Spezialsysteme

- /7.1/ Lösungsentwurf Fileprozessor, Berichts-Nr. 9/344/5/80, VD ZFT/E 34/44/80, Dr. Krien
- /7.2/ Fileprozessor, Berichts-Nr. 33/344/5/81, VD ZFT/E 344/9/81, Dr. Krien
- /7.3/ Einsatzmöglichkeiten von CCD-Schaltkreisen für Speicherzwecke, Berichts-Nr. 8/344/5/80, Zweynert
- /7.4/ Entwurf der Steuerung eines bitseriellen Assoziativspeichers, Praktikumsarbeit 1/80
- /7.5/ Beschreibung des Versuchsaufbaus eines seriellen assoziativen Speichersystems mit geringem Steueraufwand für Klein- und Mikrorechner
- /7.6/ Grobentwurf eines Assoziativspeicheranschlusses für den MR K 1620, Berichts-Nr. 11/344/2/81, Otremba
- /7.7/ Anschluß eines Assoziativspeichers an den Rechner K 1600, Ingenieurarbeit 7/81
- /7.8/ Serieller elektronischer Assoziativspeicher (assoziativer Parallelprozessor für nicht-numerische Datenverarbeitung), Berichts-Nr. 27/344/5/81
- /7.9/ Zur Übersetzung von Programmiersprachen Teil 1, Berichts-Nr. 1/344/1/79, Krause
- /7.10/ Sprachverarbeitungssysteme unter Verwendung des Zwischensprachkonzeptes, Berichts-Nr. 5/344/6/79, Urban
- /7.11/ Feinkonzept BASIC-Sprachverarbeitungssystem, Berichts-Nr. 7/344/6/79, VD ZFT/E 34/6/79, Dr. Mackrodt
- /7.12/ Eingabe- und Korrekturprogramm für K 1600-Programmierung (Programmbeschreibung), Berichts-Nr. 12/344/9/79, Krause
- /7.13/ Systemkonfiguration Sprachprozessor, Berichts-Nr. 10/344/5/80, VD ZFT/E 34/45/80, Krause, Dr. Mackrodt
- /7.14/ Possibilities of High Level Language Architecture Support - Studie ZFT/SzKI 1/80
- /7.15/ Zweiprozessor-BASIC-Sprachverarbeitungssystem für K 1620 (Dr. Mackrodt)
- /7.16/ Anlage 1: Sprachbeschreibung BASIC-SVS-16 (Krause) Berichts-Nr. 32/344/5/81
- /7.17/ PASCAL-P-Kode-Prozessor (Stack-Computer), Berichts-Nr. 31/344/5/81, Dr. Mackrodt u. a.
- /7.18/ Vereinbarung ZFT-IHD zur Realisierung des Jugendobjektes Mehrprozessorsystem K 1600, 9/79
- /7.19/ Entwicklung und Dimensionierung eines Multiprozessor-Modellsystems auf der Basis K 1700, Berichts-Nr. 12/344/5/80, R. Schulze
- /7.20/ Problemorientierte Dimensionierung eines Multiprozessorsystems, Berichts-Nr. 26/344/10/80, R. Schulze
- /7.21/ Aspekte der Realisierung von Multiprozessorsystemen, Berichts-Nr. 34/344/5/81, R. Schulze
- /7.22/ Analyse des P-Kode-Interpreters des ESER-PASCAL-Systems, Diplomarbeit Beck, 6/80
- /7.23/ Mitarbeit an der Analyse des PASCAL-P-Kode-Interpreters nach JENSEN/WIRTH, Belegarbeit Schmidt, 6/80
- /7.24/ Programmierung und Testung des PASCAL-P-Kode-Interpreters, Diplomarbeit Schmidt, 6/81

Schutzrechtsberichte

- /0.1/ Schutzrechtskonzeption und Schutzrechtsbericht-Nr. 76.1, VVS DR I/9-34/80
- /0.2/ Schutzrechtskonzeption und Schutzrechtsbericht ZFT 6/81, VVS DR I/9-35/81

Anlage 1 zum A 4-Abschlußbericht des Themas K 16N-System und -Prozessoren

Veröffentlichungen

1. Dr. Mackrodt, W. Überlegungen zur Sprachinterpretation bei Mikrorechnersystemen
Symposium für Mikrorechner und Mikroprozessoranwendungen - µP'79
Wissenschaftliche Veranstaltung, Budapest, Conference Proceedings
2. Dr. Kotzurek, M.,
Schöne, W., Müller, K. Schnelle Koppereinheit für Mikrorechner K 1520
Nachrichtentechnik/Elektronik (5/79 bzw. 4/80)
3. Dr. Krien, R. Untersuchungen von Methoden zur Datenbankverwaltung einschl.
gerätetechnischer Unterstützung
Seminar zum NIR-Komplex "Rechentechnik" (5/79)
4. Herrmann, K. Einige Möglichkeiten der dynamischen Adaption von Rechnersystemen
Seminar "Parallelverarbeitung des SKR" (8/79)
5. Dr. Krien, R. Mikroprozessoren unterstützen Datenbanksysteme
Rechentechnik/Datenverarbeitung 17 (1980) 12
6. Herrmann, K. Bildeingabesystem
Feingerätetechnik (3/80)
7. Dr. Mackrodt, W. Rechnerarchitektur für Direktausführung von Quell- und Zwischen-
sprache
Eingereicht zur "Internat. Workshop", Universität Maryland (5/80)
8. Schulze, R. Blocklängenberechnung in Pipeline-Systemen
Wiss. Kolloquium TU Dresden, Sektion 9 (5/80)
9. Zweynert, M. Zum Einsatz von Speicherschaltkreisen mit Zusatzlogik in sequen-
tiellen Assoziativspeichern
Wiss. Kolloquium TU Dresden, Sektion 9 (2/81)
10. Dr. Krien, R. Implementing Data Management and Data Base Systems on Minicomputers
Vortrag MIMI 80, Budapest (9/80); Proceedings
11. Herrmann, Karl Zur Effektivitätserhöhung der schnellen Fourier-Transformation
großer Datenmassive
Nachrichtentechnik/Elektronik (8/80)
12. Dr. Mackrodt, W. Sprachunterstützung in Rechnerarchitekturen auf relativ niedrigem
Niveau
Vortrag SS3-Beratung Moskau (9/80)
13. Herrmann, K. Systemaspekte peripherer Mikrorechnerschaltkreise
Wiss. Kolloquium TU Dresden (12/81)
14. Krause, R. A Two-Processor Approach for Incremental BASIC-Implementation
Dr. Mackrodt, W. Vorgesehen µP'81 Budapest (10/81)
15. Herrmann, K. Über die Wahl des Multiprogrammiergrades ... in Mikroprozessor-
systemen
Vorgesehen µP'81 Budapest (10/81)
16. Otremba, K. Möglichkeiten der Realisierung eines seriellen assoziativen
Speichersystems mit geringem Steueraufwand für Klein- und Mikro-
rechner
Nachrichtentechnik/Elektronik (10/81)
17. Krause, R. Untersuchungen zu einem BASIC-Zweiprozessorsystem
Dr. Mackrodt, W. Vorgesehen Tagung PH Dresden (6/81)

18. Dr. Gurtler, J. Hilfsmittel zur Entwicklung von Mikrorechnersystemen
Wiss. Kolloquium TU Dresden (2/81)
19. Dr. Mackrodt, W. Gerätetechnisch unterstützte Zwischensprachinterpretation
Vortrag zum TU-Seminar "Probleme der Rechnerarchitektur", Altenberg
Dezember 1980
Veröffentlichung in der Reihe "Weiterbildungszentrum für Math.
Kybernetik und Rechentechnik", TU Dresden, Sektion Math.
20. Dr. Mackrodt, W. Considerations on Language Interpretation for Microprocessor
Systems
Microprocessing and Microprogramming; EUROMICRO-Journal 7 (1981)
Februar, pp. 110-118
21. Dr. Mackrodt, W.
 Krause, R. Rechnerarchitektur mit Sprachunterstützung für unterschiedliche
Betriebsformen
Vortrag zum NIR-Seminar "Sprachunterstützung in Rechnerarchitek-
turen", Zinnwald (3/80)
22. Dr. Mackrodt, W. Möglichkeiten verschiedener Formen der Sprachunterstützung bei
Rechnerarchitekturen
Vortrag während einer zweiseitigen NIR-Beratung DDR-UVR (Themen
2.1.4.a und b) in Dresden (9/80)
23. Dr. Mackrodt, W. Zu einem Konzept der Sprachinterpretation bei Klein- und Mikro-
rechnern
Vortrag zum NIR-Seminar "Maschinensprachen und Prinzipien ihrer
Interpretation" in Szekesfehervar (3/79)
24. Dr. Mackrodt, W. Rechnerarchitektur mit Sprachorientierung
Vortrag zur zweiseitigen NIR-Beratung CSSR-DDR (Thema 2.1.4.b),
Prag (6/79)
25. Simor, G.
 Dr. Mackrodt, W. Possibilities of High Level Language Architecture Support
Research Study of the two Institutes: VEB Robotron ZFT und SzKI
Budapest (1/80)
26. Dr. Krien, R. Probleme und Möglichkeiten der Realisierung von Datenbanksystemen
auf Klein- und Mikrorechnern
Schriftenreihe der TU Dresden, WBZ MUR Heft 44/80
27. Dr. Krien, R. Zur Realisierung von Datenverwaltungs- und Datenbanksystemen auf
Minirechnern
Nachrichtentechnik/Elektronik 31 (1981) 1
28. Schulze, R. Durchsatzanalyse von MPS
Nachrichtentechnik/Elektronik (6/80)

Anlage 2 zum A 4-Abschlußbericht des Themas K 16N-System und -Prozessoren

Patentanmeldungen ab 1. 1. 79

1. E 361 Anordnung zur Kopplung von Recheneinheiten
Schöne, W., Müller, K.
2. E 369 Anordnung zur Steuerung eines Mehrrechnersystems
Schulze, R.
3. E 370 Anpassungsschaltung von TTL-Schaltkreisen an einen MOS-Schaltkreis
Schöne, W.
4. E 377 Anordnung zur Kopplung von Recheneinheiten mit Fehleranzeigesystem
Dr. Baldermann, R.-D., Dr. Lindner, St.
5. E 382 Anordnung zur Kopplung von Recheneinheiten über direkten Speicherverkehr
Wolf, Th.
6. E 383 Anordn. zur Bedienung von Warteschlangen in Rechnersystemen
Herrmann, K.
7. E 402 Anschlußeinheit zur seriellen assoziativen Steuerung eines externen Speichers
Zweynert, M., Otremba, K., Schöne, W., Reichard, L.
8. E 426 Speicheranordnung
Krüger, W., Dr. Thurisch
9. E 436 Anordnung zur Koordinierung von Operationen eines sequentiellen Arbeitsspeichers
Zweynert, M., Otremba, K., Reichard, L.
10. E 437 Assoziative Speicherzelle
Zweynert, M., Otremba, K.
11. E 443 Anschlußsteuerung
Dr. Falkenberg, W.

Korrekturen und Ergänzungen zum A4-Abschlußbericht
VVS DRI/9-33/81

- Bl. 4 , Pkt. 2.1.1 , 8. Anstrich :
Komplement anstatt Kompliment
- Bl. 6 , Tabelle 2.1 , 7. Spalte, 7. Zeile :
16 MByte anstelle 64 MByte
- Bl. 7 , Pkt. 2.2.1 , 2. Anstrich :
U 208 anstelle U 2/6
- Bl. 10 , Pkt. 2.5.3 , 11. Zeile :
... und ist ... anstelle ... ist ist ...
- Bl. 15 , Pkt. 2.10 , 1. Anstrich :
5 Bitbefehle anstelle 4 , zusätzlich: FBIT
- Bl. 15 , Pkt. 2.10 , 2. Anstrich , 2. Zeile
neu: + ARP 30 - Befehle RESA, SETA
- Bl. 15 , Pkt. 2.10 , 3. Anstrich , 2. Zeile
neu: + Zusatzbefehle S2DR, S3DR (Speichern von
Registerpaaren), möglicherweise 2 Befehle
zur Unterstützung der Zeichenerkennung
- Bl. 16 , 3. Anstrich : ... und ...
streichen
- Bl. 21 , Pkt. 3.2.4 , 4. Anstrich :
Einpassung anstatt Einlesung
- Bl. 45 , Pkt. 7.4.2 , 1. Zeile :
K 1620 anstatt K 1520
- Ergänzung Bl. 49 :
/2,40/ Bericht TD/375/E315 : Systembus K 16N
konstruktiv-technologische Ausführungen
(VD E315/2/81)
- Bl. 39, Pkt. 6.2., 2. Zeile:
/6.4/ anstatt /6.5/

Pkt. 6.3.:
/6.5/ anstatt /6.6/.