

E344

VEB Robotron Zentrum
für Forschung und Technik
Fachgebiet Kleinrechner
E 34

Dresden, den 13.02.1980

20. Feb. 1980 | F-192/S9

Vertrauliche Verschlusssache	
DR I/9 - 14/80	gelöscht
17. Blatt	
63 Seiten	1. Seite

Vertrauliche Dienstsache				
Nachweis-Bereich	Lfd.-Nr.	Jahr	Aus.-Nr.	Blatt
ZFT/E34	8	80	4	1-10

Vollzähligkeit 1982 h.

T h e s e n zur Problemlberatung K 1700

Einreicher:

Dipl.-Ing. Lauermann
Fachgebietsdirektor E 3

Einzuladender
Teilnehmerkreis:

Beratungstermin:

A. Lauermann
Dipl.-Ing. Lauermann
Fachgebietsdirektor E 3

Anlagen: Mikrorechnersystem K 1700 (Grobkonzept)
VD ZFT/E 34/ 9 / 80 14.1.1-26
Modellablauf
VD ZFT/E 34/ 4 / 80 125.1.1-6
Befehlsliste
VD ZFT/E 34/23/79/B1. 57-77 125.1.1-6

Verteiler: ZFT/L; ZFT/BPO; ZFT/T; ZFT/F; ZFT/L1; ZFT/E 1;
ZFT/E 2; ZFT/E 4; ZFT/E 5; ZFT/E 7; ZFT/LA;
ZFT/E 3 (6x)

1980
Vollzähligkeit 1982
VS-Inventur 1982

Festlegungsvorschläge

1. Das Material "Mikrorechnersystem K 1700, Stand 1/80 (Grobkonzept)" wird als Informationsmaterial zur Übergabe an den Forschungsrat, die IHD, die MEE-Betriebe, die Vertreter der Kombinatbetriebe und an das MEI freigegeben.
 2. Es ist ein Vorschlag zur Einführung der HF-Stimulierung, Form 2, vorzulegen.
V.: ZFT/E 3
T.: 30.03.80
 3. Es sind Aussagen zum zukünftigen Einsatz des K 1700 in Geräten der MDT-Linie im Rahmen der Konzeption DEKK II zu erarbeiten.
V.: ZFT/E 1
T.: 5/80
 4. Die Einsatzmöglichkeiten des K 1700 bei EC 1057 sind zu untersuchen.
V.: ZFT/E 2 gemeinsam mit ZFT/E 3
T.: wird nach Vorlage eines Ablaufes für EC 1057 präzisiert.
 5. Es ist anzustreben, bereits während der LFM die für 1980 bestellten NSW-Bauelemente (Busschaltkreise) für das Thema K 1700 zu beschaffen.
V.: ZFT/M
 6. Es ist mit RME abzustimmen, daß für die K 1700-Entwicklung die schnelle Variante der U 880-Familie, die sogenannte U 880A-Reihe (U 855 A, U 856 A, U 857 A) verwendet werden kann.
V.: ZFT/T /Hauptkonsulent
T.: 3/80
 7. Analyse der Abläufe für Logik- und Transistorentwurf, Erarbeitung von Maßnahmevorschlägen für ZFT/L
V.: ZFT/E 3
T.: 15.04.80
8. Die an K 1700 zu stellenden Kompatibilitätsforderungen sind eindeutiger festzulegen.
V.: ZFT/E 1, E 4, E 3
T.: 3/80 (Vorschlag zur Bestätigung an ZFT/L)
9. Die an K 1700 zu stellenden Kompatibilitätsforderungen sind eindeutiger festzulegen.
V.: ZFT/E 1, E 4, E 3
T.: 3/80 (Vorschlag zur Bestätigung an ZFT/L)

02/80

1. Grundsätzliche Ausgangspunkte

- 1.1. Mitte 1979 wurde das A-Thema "K 16 N-System und -Prozessoren (jetzt: Rechner K 1700)" eröffnet; mit dem bestätigten Pflichtenheft wurde die grundsätzliche Zielstellung für dieses Thema vorgegeben.

Ecktermine: A 1: 6/79; A 2: 6/80; A 3: 1/81; A 4: 6/81

Kostenumfang: 2,8 Mio Mark

Wesentliche Leistungen: Systementwurf K 1700, Grobentwurf Prozessorschaltkreis, Befehlsliste

Anmerkung:

Wird die unter 3.2. terminisierte parallele Bearbeitung der übrigen Schaltkreise realisiert, so wird sich der angegebene Kostenumfang des A-Themas beträchtlich erhöhen, da damit bereits K-Stufenarbeiten zu finanzieren sind.

- 1.2. In der Zeit zwischen 5/79 und 10/79 wurde die Konzeption K 1700 den Hauptbedarfsträgern im MEE-Bereich (KAAB, CZ, KEAW, KNE, KME) und Vertretern der TU Sektion 9 zur Diskussion gestellt und abgestimmt.
- 1.3. Das Abstimmungsergebnis fand zum großen Teil seinen Niederschlag in der MEE-Vorlage "Konzeption zur Entwicklung der Mikrorechentechnik ..." VVS DR I/63-67/79.

Danach hat das ZFT u.a. folgende Verpflichtungen zu erfüllen:

- (1) Technische Information zum Schaltkreissatz und zu Systemlösungen als Basis für A-Stufen-Arbeiten

2/80

- (2) Information zum Schaltkreissatz als Basis für K-Stufen-Entwicklungen der Anwender

1/81

- (3) Bereitstellung Entwicklungssystem auf Basis K 1600

12/81

(Diese Termine wurden unter dem Aspekt des Einsatzes K 1700 für CNC 700 gefordert,)

- (4) Bei der Ausarbeitung des Fünfjahresplanes ist darauf zu orientieren, den Anlauf der Serienproduktion des K 1700 um 1-2 Jahre (gegenüber 1984/85) vorzuziehen.

- (5) Weitere Abstimmung mit der UdSSR.... mit dem Ziel der beschleunigten Entwicklung und Produktion des Schaltkreis- und Mikrorechner-Sortiments.

- 1.4. Ausgehend von Terminbedingungen für die CNC 700 setzte KAAB beim Minister die Bewilligung eines "Zusatzschaltkreises" für das K 1520-System durch. Da es sich um

einen 16 bit-Prozessor handelt, kann das zur Eröffnung einer zweiten 16 bit-Linie in der DDR führen.

2. Bearbeitungsstand

2.1. Gegenwärtiger Lösungsansatz

Der gegenwärtige inhaltliche Stand der Arbeiten wird durch beiliegende Information (Grobkonzept K 1700) dargestellt.

2.2. Bearbeitungskomplexe, NIR-Beteiligung

Folgende Komplexe, denen auch die Bearbeitungskollektive (soweit vorhanden) zugeordnet sind, wurden gebildet:

Themenleitung, Systemfragen

CPU - Schaltkreis

MMU - Schaltkreis

ARP - Schaltkreis

DMA - Schaltkreis

BCU - Schaltkreis

PSC - Schaltkreis (noch keine Bearbeitung)

direkte Sprachinterpretation

file-Prozessor

Zweiprozessor-Komplex K 1600 (Jugendobjekt)

spezielle Mehrprozessorsysteme (Parallelverarbeitung,
Fehlertoleranz)

Mitarbeit MRES K 1700

Simulationsgruppe für Schaltkreis-Simulation

Schaltkreismesstechnik

Über die Mitarbeit an NIR-Themen (die hier im einzelnen nicht aufgezählt werden) sollen vor allem folgende Ziele erreicht werden:

1. Die zur Erweiterung vorgesehenen Befehle sind in die SKB-Befehlsliste aufzunehmen (Thema 2.6);
2. Der für Mehrprozessorkopplung notwendige Koppelbus soll abgestimmt werden, um den OEM-Absatz des K 1700 in das SW zu begünstigen (Thema 4.3.);
3. Für die mit kleiner Kapazität laufenden Arbeiten zur Sprachinterpretation und zu parallelverarbeitenden Mehrprozessorsystemen soll der wissenschaftliche Meinungsstreit intensiviert bzw. eine direkte Zusammenarbeit angestrebt werden (Thema 2.2.3. und Thema 2.3.4.);
4. Das K 1700-Schaltkreisspektrum soll (bei entsprechender Reife) durch geeignete NIR-Beiträge bekanntgemacht werden (Thema 4.3.);
5. Die struktur- und betriebssystemmäßige Einbindung eines File-Prozessors soll abgestimmt werden (Thema 2.3.).

2.3. Arbeitsablauf und Arbeitsumfang

Der prinzipielle Ablauf ist in der

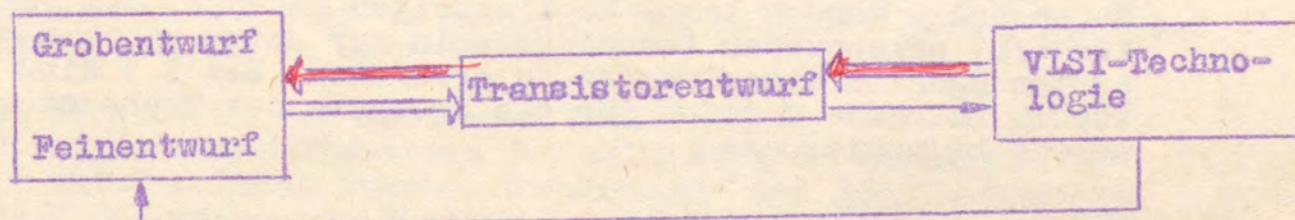
VD ZFT/E 34 / 4 / 80

VVS

dargestellt.

Die Zeitangaben beruhen auf Extrapolationen aus dem K 1600-Ablauf. Besonders kritisch ist die Zahl der Iterationen. In der Literatur wird von 3 - 5 Iterationen trotz Simulation gesprochen. In dieser Hinsicht ist der angenommene Durchlauf noch ein erhebliches Risiko.

Es besteht ein sehr enger Zusammenhang zwischen dem logischen Entwurf (GE, LFK) und dem Transistorentwurf, der seinerseits wiederum von den Eigenschaften der VLSI-Technologie abhängt.



Können bestimmte logische Strukturen bei der Umsetzung auf dem Chip nicht mit der erforderlichen Geschwindigkeit realisiert werden, so muß zu stärkerer Parallelisierung der Abläufe (wegen zunehmenden Chipflächenbedarf im allgemeinen nachteilig) und damit einem prinzipiell anders gearteten Logikentwurf übergegangen werden.

Schlußfolgerung:

Bereits in der Grobentwurfsphase müssen die Logikentwerfer, die Schaltkreisentwerfer und die Schaltkreistechnologen (IMD) parallel und eng zusammenarbeiten, insbesondere wenn minimale Entwicklungszeiten erforderlich sind.

Gegenüber K 1600 hat sich die in der Gesamtmenge der Schaltkreise unterzubringende Transistorzahl auf das Sechsfache erhöht. Der dadurch bedingte höhere Entwicklungsaufwand ist bei etwa gleicher Bearbeitungsdauer nur über eine Vergrößerung des Entwicklungspotentials in Verbindung mit rationelleren Arbeitsmitteln bewältigbar.

3. Probleme

3.1. Bereitstellung von Informationsmaterial

Anforderungen liegen vor für:

- Forschungsrat
- MEI (als Basis für die Präzisierung der weiteren Zusammenarbeit)
- MEE-Betriebe (vergl. MEE-Vorlage)
- Vertragspartner (insbesondere IHD).

Es wird vorgeschlagen, für alle drei Fälle das beiliegende Material zu verwenden. Die Weitergabe des ausführlichen Materials zum Grobkonzept erscheint aus Vertraulichkeitsgründen nur auszugsweise möglich (MKD, IHD, RES, NKM)

3.2. Termsituation

Teilkomplex

Gegenwärtig werden keine Möglichkeiten gesehen, den vom IMD für 6/81 angebotenen Anschlußtermin zur Entgegennahme unseres ersten Schaltkreisentwurfes zu erreichen. Bei E 3 sind gegenwärtig folgende Termine für die Übergabe des Transistorentwurfes bilanzierbar:

DMA	2/82
BCU	4/82
CPU	6/82
MMU	8/82
ARP	2/83
PSC	9/83

Die Leistungsstufe K 2 ergibt sich damit für die einzelnen Systemkonfigurationen wie folgt:

Ein-Steckeinheiten-Rechner:	4/84
Steckeinheiten-Modulsystem:	1/85
Kleinrechner-System :	4/85

Gründe für diesen Ablauf:

Die für die K 1700-Arbeiten benötigten Kräfte (vor allem Erfahrungsträger im Logik- und Schaltkreisentwurf) sind noch durch K 1600 gebunden und werden erst 1981 in größerem Umfang frei.

Damit unterbleibt z.B. das für die Phase des Grobentwurfes bereits gegenwärtig notwendige Wechselspiel zwischen Schaltkreis- und Logikentwerfern sowie Technologen^{und} führt zu unaufholbaren Tempoverlusten. Der Staatsauftrag, bereits 1983 die Produktion für ESR aufzunehmen, wird sich damit um 2 Jahre verschieben. Gegenüber dem WTH besteht dann ein Nachlauf von etwa 4 Jahren (gegenüber Z 8000).

Dem gegenwärtigen Ablauf liegen die Simulationsverfahren zugrunde, die bereits bei K 1600 angewandt wurden. Die Unterstützung durch den Entwurfsplatz kommt zu spät. Sie wird nur bei einigen Schaltkreisen wirksam und verkompliziert den Ablauf durch die notwendige "heiße" Programmerprobung und durch die erzwungene Einarbeitung der SK-Entwerfer in zwei Simulationssysteme. Eine Beschleunigung der Abläufe für den Entwurfsplatz und die dadurch möglichen Auswirkungen auf den K 1700 (unter Einschluß von möglichen Senkungen der reinen Organisationsverluste) sind leitungsmäßig nochmals zu analysieren.

3.3. Mit dem K 1700 wird die Linie der Schaltkreiseigenentwicklung erheblich ausgeweitet. Trotz der damit zunehmenden Belastung an Mitteln und Kräften (etwa 200 Mannjahre) wird davon ausgegangen, daß diese Linie strategisches Grundziel des ZFT bleibt.

Um diesen Aufwand stärker als bei K 1600 für Produkte des Kombinales nutzbar zu machen, sind folgende Einsatzgebiete detaillierter zu untersuchen:

1. Einsatz in der mittleren Datentechnik
2. Einsatz zur Steuerung der zukünftig im Kombinat zu entwickelnden Druck-, Erkennungs- und Speichergeräte.
3. Umfangreicherer Einsatz bei ESER-Anlagen, insbesondere EC 1057

Die folgende Tabelle macht insbesondere die Verschiebungen im Absatz deutlich, wenn die MDT-Linie mit K 1700 ausgestattet wird (Tabelle 1).

3.4. Anwender lehnen den K 1700 zum Teil deshalb ab, weil sie ihre Versuchsmuster nicht mit frühzeitig importierbaren Analogtypen aufbauen können. Sie können erst dann beginnen, wenn die ersten eigenen Schaltkreise hergestellt wurden. Die dadurch vorhandene Termindiskrepanz ist mit einem frühzeitig bereitzustellenden Entwicklungssystem entschärfbar (vergl. Terminforderung 1. MEE-Vorlage). Dieses Entwicklungssystem kann jedoch nicht mit K 1700-Schaltkreisen aufgebaut werden. Es muß auf Basis K 1600 bereitgestellt werden. Die Arbeiten an der gegenwärtig begonnenen Studie "Entwicklungssystem K 1700" sind deshalb besonders unter diesem Gesichtspunkt zu führen.

wenn, dann → E 1

3.5. Laut MEE-Vorlage ist die Systemleitung K 1700 zu bilden.

Als Aufgaben werden gesehen:

1. Initialisierung der in anderen MEE-Betrieben ^{vorgesehenen} Schaltkreisentwicklungen für K 1700

2. Erarbeitung der Vorgaben für notwendige Paßfähigkeit (BUS-Schnittstelle, Zeitbedingungen)
3. Koordinierung der gestaffelten Übergabe der Transistor-entwürfe an IMD (Prioritätsfestlegungen)
4. Abstimmungen zum Gesamtkonzept (Befehlsliste, Schaltkreis-struktur, Ergänzungsschaltkreise)

Diese Aufgabe ist gegenwärtig nicht abgesichert.

3.6. Zur Einhaltung der Kompatibilität sind die gegenwärtigen Festlegungen nicht eindeutig.

Kompatibilität zum SKR heißt gegenwärtig, daß ein Befehlsspektrum und Operationsprinzipie entsprechend SM 3 / SM 4 implementiert sind. Die neu aufgenommenen Befehle liegen außerhalb aller bisherigen Festlegungen.

Neuerdings wurde durch DEC die PDP 11/44 bekanntgemacht, die zu einem Teil Befehle unseres erweiterten Sortimentes besitzt.

Damit entstehen folgende Fragen:

- Wird nachträglich auf die neuen PDP-Befehle geändert?
- Welche Haltung ist im SKR zu erwarten?
- Wo beginnt unsere "eigenständige" Linie?

Hinzu kommt noch eine weitere Frage, resultierend daraus, daß K 1600 an einigen Stellen von den SKR-Eigenschaften abweicht:

- Soll K 1700 zu K 1600 oder zu SM 3/ SM 4 kompatibel sein?

Beide Fragen sollten im Rahmen der Problemlberatung erörtert werden.

3.7. Die gegenwärtigen Ablösezeitpunkte (vergl. Tabelle 1) führen im Kombinat Robotron für den K 1700 erst 1986/87 zu bemerkenswerten Bedarf. Diese Aussagen stehen im Widerspruch zur Terminisierung entsprechend Staatsauftrag. Die Probleme der Ablösung K 1600 und teilweise K 1520 durch K 1700 sollten im Rahmen der DEKK II - Konzeption besondere Beachtung finden.

3.8. Eine wesentliche Rolle für die Güte des Grobentwurfes (bis 6/80) bzw. der Feinentwürfe spielt die Zusammenarbeit mit dem IMD.

Neben den allgemeinen Kennwerten der Technologie ist eine ständige Beratung bei den Entwurfsarbeiten und (für zeitkritische Fälle) die kurzfristige Herstellung von Teststrukturen erforderlich. Zeitaussagen aus solchen Experimenten sind dringend notwendig, da sie bei stark verzweigten

*Deriviert
nicht weiter*

*NW-
Exzent
Mund-
Prognose*

Vertrauliche Verschlusssache

DR 1/9 - 14/80

S. 9.

~~VD ZFT/E 34 / 8 / 80 / Bl. 9~~

Funktionseinheiten nicht über die Angabe einer globalen Gatterverzögerungszeit herleitbar sind.

Folgende Mitarbeit durch IMD sollte realisiert werden:

ab	2/80	1 MA
ab	3/80	2 MA
ab	5/80	3 MA

3.9. Zur Ermittlung der erreichbaren BUS-Geschwindigkeiten und für Schaltkreisanalysen wurden NSW-Bauelemente für 1980 beantragt, deren frühzeitige Bereitstellung zum Risikoabbau hinsichtlich Leistungseinschätzung des K 1700 führen würden. (Bestellung vom 08.01.80) Eine kurzfristige Beschaffung ist erforderlich.

3.10. Die Vergrößerung des Aufgabenumfanges, die Verteilung auf mehrere Kollektive und die Beschleunigung des Arbeitsablaufes erfordern einen schnellen Informationsaustausch auf Basis von handschriftlichen Manuskripten. Es ist zu überlegen, ob dafür eine gegenüber der Thermo-kopier-technik verbesserte Auswertung des K 1700-Kollektive anliegen kann.

Tabelle 1 Jahresbedarf an Rechneinheiten (ohne Peripherie) für DEKK - Erzeugnisse (eingelaufene Produktion)

Gruppe der DEKK-Erzeugnisse	Stückzahl / Jahr in %		Warenproduktion/Jahr %		Zeitpunkt für	
	Insges.	davon K 1700	Insges.	davon K 1700	Ein- f. g.	einzel. Prod.
1 Peripheriegeräte, Schreib- und Kopiertechnik	63,0	0,1	1,5	< 0,1		
2 Sologeräte und Terminals zur Datenerfassung, Kommunikat. Buchung, Fakturierung	35,5	a) 11,5 b) 0,8	68,0	a) 35,3 b) 1,3	86/87	88/89
3 Terminal- (Datenerfassungs-) Systeme	0,2	0,2	7,0	7,0	86/87	87
4 Universelle Verarbeitungssysteme	1,1	1,0	22,6	22,0	(84/85) 86/87	(86) 87
5 DFV-Prozessoren, Terminal- und Netzsteuerrechner, DFV-Sulssysteme	0,2	< 0,1	1,0	0,7	87 (85)	88 (86)
Summe a) Terminallinie überlegend 16 bit		a) 13,0		a) 65,0		
b) Terminallinie auf Basis 8 bit	100,0	b) 2,1		b) 31,0		
c) davon Kleinrechnersysteme		c) 0,9		c) 23,0		
Summe absolut in Stück bzw. Mio Mark	ca. 190.000	a) 25.000 b) 4.000 c) 1.700	ca. 900 Mio M	a) 585 Mio M b) 280 Mio M c) 210 Mio M		

VEB Robotron Zentrum
für Forschung und Technik

Vertrauliche Verschlusssache
DR 1/9 - 14/80 S. 11.

Dresden, den 12. 2. 1980

20. Feb. 1980 17- 192/89

Vertrauliche Verschlusssache				
Zeichn.- Bereich	Blatt-Nr.	Blatt		
ZFI/E3	9	80	14	1-26

Mikrorechnersystem

K 1700

Stand 1/80 (Grobkonzept)

Inhalt:

1. Zielstellung und Ausgangspunkt
 - 1.1. Zielstellung
 - 1.2. Leistungseigenschaften der CMOS-Technologie
 - 1.3. Zur Realisierbarkeit der Zielstellung unter Beachtung der Kompatibilität zum K 1600
2. Schaltkreis-Konzept
 - 2.1. Schaltkreis-System U 84
 - 2.1.1. CPU-17 (Prozessor)
 - 2.1.2. MMU-17 (Speichermanagement)
 - 2.1.3. ARP-17 (Arithmetikprozessor)
 - 2.1.4. DMA-17 (Speicherzugriffssteuerung)
 - 2.1.5. BCU-17 (Buskoppereinheit)
 - 2.1.6. PSC-17 (Parallel-Serienwandler)
 - 2.2. Weiterentwicklung des Schaltkreissatzes U 880 und U 84
 - 2.3. Speicherschaltkreise
 - 2.4. TTL-Ergänzungsschaltkreise
3. Systemkonzept
 - 3.1. Rechnerkonfigurationen (ESR, SMS, KRS)
 - 3.2. Busgestaltung
 - 3.3. Perspektivische Systemerweiterungen
 - 3.4. Soft-/Hardware-Substitution
4. Befehlsumfang und Leistungsvergleich
 - 4.1. Befehlsliste, Erweiterungen gegenüber K 1600
 - 4.2. Leistungsvergleich

Vertrauliche Verschlussache

DR 1/9 - 14/80

S. 13

1. Zielstellung und Ausgangspunkt

1.1. Zielstellung

Dem Entwurf des Schaltkreissatzes U 84 und dem Rechnersystem K 1700 liegt folgende Zielstellung zugrunde:

- Schaltkreise in MOS-Technologie mit sehr hohem Integrationsgrad (VLSI);
Ein-Chip-Prozessor mit 16 bit Verarbeitungsbreite
- Wesentliche Erhöhung der Verarbeitungsgeschwindigkeit;
Befehlsdurchsatz mindestens 5-fach höher als beim Vorgängersystem K 1620
- Wesentliche Erweiterung der Operativ-Speicherkapazität;
Adressierungsbereich bis mindestens 2 MByte
- Befehls- und Anwenderprogrammkompatibilität zum System K 1620 und K 1630 bzw. SKP;
Weitgehende Nutzbarkeit der Systemprogramme, Lauffähigkeit mit mindestens einem Steuerprogrammsystem K 1600
- Minimale Zahl neu zu entwickelnder Schaltkreise;
Verwendbarkeit der U 880-Schaltkreise bzw. deren Weiterentwicklung, insbesondere im E/A-System
- Realisierbarkeit von aufwandgünstigen Mikrorechnersystemen (Ein-Steckeinheiten-Rechner) und leistungsfähigen Kleinrechnervarianten sowie gekoppelter und hierarchischer Strukturen unter Einbeziehung von 8 bit-Untersystemen mit dem gleichen Schaltkreissatz.
- Reduzierung des Volumen- und Leistungsbedarfs.

1.2. Leistungseigenschaften der KMOS-Technologie

Realisierungsgrundlage für den Schaltkreissatz U 84 ist eine Kurz-Kanal-MOS-Technologie mit einer minimalen Kanallänge von ca. 2 μm . Damit erscheinen folgende Parameter realisierbar:

- 100 000 Transistoren pro 30 bis 35 mm^2 Chipfläche für reguläre Strukturen
- 30 000 Transistoren pro 30 bis 35 mm^2 Chipfläche für irreguläre Strukturen
- Leistungs-Verzögerungszeitprodukt $P_v \times t_v \leq 1 \text{ pJ}$

Für gemischte Strukturen, wie sie beim Prozessorschaltkreis vorliegen, kann mit Integrationsgraden von 40 - 60 000 Transistoren/Chip gerechnet werden. Dieser Wert liegt im oberen Bereich der gegenwärtig international in der Markteinführung befindlichen 16 bit-Mikroprozessoren, ohne die Spitzenwerte zu erreichen.

Die Zielstellung gemäß Punkt 1.1. für die Verarbeitungsgeschwindigkeit erfordert, daß ein Mikrobefehlsschritt in 250 ns auszuführen ist. Die erforderlichen Untersuchungen zur Realisierbarkeit durch Messungen an Teststrukturen stehen noch aus.

1.3. Zur Realisierbarkeit der Zielstellung unter Beachtung der Kompatibilität

Die Zielstellung nach Punkt 1.1. wird auf Grund der bisherigen Arbeitsergebnisse mit den geforderten technologischen Parametern als im wesentlichen realisierbar eingeschätzt.

Die Forderung nach einer Ein-Chip-Prozessorlösung bedingt vor allem eine integrierte, flächenoptimierte PLA-Struktur für die Mikroprogrammsteuerung.

Die Erreichbarkeit der Zeitforderungen wird aus der noch nicht ausreichend bestätigten Annahme abgeleitet, daß ein Mikrobefehlsschritt in 250 ns und eine minimale Buszykluszeit in 500 ns (ohne Speichermanagement) möglich sind.

Ohne Verletzung der Kompatibilitätsbedingungen ist mittels Speichermanagement eine Erweiterung des Adressierungsraumes bis 4 MByte möglich.

Entwurfsgrundlage für den Befehlssatz ist die Befehlsliste des K 1630. Einige Erweiterungen sind vorgesehen; diesen sind jedoch aus Gründen der Kompatibilität, in Verbindung mit den Konsequenzen für die Prozessorarchitektur, Grenzen gesetzt. Insbesondere für den Anwendungsbereich "wissenschaftlich-technische Rechnungen" muß und kann das durch einen Arithmetik-Zusatzprozessor ausgeglichen werden. Darüber hinaus ist damit eine Systemaufwertung erreichbar.

Die Forderung nach einer mikrorechnergemäßen und geschwindigkeitsoptimierten Lösung sowie nach Verwendbarkeit der U 880-Schaltkreise führt zu einer neuen, von K 1600 und SKR völlig abweichenden Gestaltung des Bussystems. Demzufolge und unter Berücksichtigung von Tendenzen der Dezentralisierung und Aufwandsminimierung sind neue Lösungen für den Anschluß peripherer Geräte erforderlich.

2. Schaltkreis-Konzept

2.1. Schaltkreissystem U 84

Für die Belange der Rechentechnik sowie für den Einsatz als Baugruppen in Steuerungs- und Automatisierungssystemen sind die nachstehend charakterisierten 6 Grundsaltkreise erforderlich. Trotz zunehmender Anforderungen an die Signalwege wird gegenwärtig davon ausgegangen, daß die Schaltkreise in einem 48-poligen Gehäuse untergebracht werden müssen.

2.1.1. CPU-17 (U 840)

Der Ein-Chip-Basisprozessor ist charakterisiert durch eine Verarbeitungsbreite von 16 bit und hat einen gegenüber K 1630 erweiterten Befehlssatz einschl. MUL und DIV (Pestkomma). Die außerdem vorgesehenen Befehlserweiterungen beziehen sich vor allem auf Blockbefehle, Mehrfach-Lade/Speicher-Befehle und Einzelbitbefehle. Weitere Parameter sind:

- Adressierungsraum 64 KByte
- 2 Sätze mit je 8 universellen Registern
- Mikroprogrammsteuerwerk als mehrstufige PLA
- Präventiver Befehlsaufruf und überlappte Befehlsabarbeitung
- 8 MHz Grundtakt
- 250 ns Mikrobefehlsschritt, Prozessorzyklus
- 0,5 μ s Register-Register-Operationen

2.1.2. MMU-17 (U 841)

Die Speicherverwaltungseinheit MMU-17 dient zur Erweiterung des Adressierungsraumes bis 4 MByte. Aus Kompatibilitätsgründen muß die Basisadressquantelung von 32 Worten beibehalten werden. In großen Systemen mit MMU bedingt die erforderliche Zeit für die Adreßumsetzung eine Verlängerung der Buszykluszeit auf voraussichtlich 1 μ s. Deshalb wird der Einsatz eines Cache-Speichers in einer Variante erwogen, die die Zeitverlängerung, abhängig von der Hitrate, ganz oder teilweise ausgleicht. Der dann erforderliche Schaltkreis CMU-17 wäre mit erweiterten Funktionen und einem RAM-Speicher auszustatten.

2.1.3. ARP-17 (U 842)

Der ARP ist ein Arithmetik-Zusatzprozessor in Ein-Chip-Ausführung für die beschleunigte Abarbeitung von Gleitkommaoperationen. Die Realisierbarkeit spezieller Befehle für die Signalverarbeitung (Filterung) und von Tabellenfunktionen ist noch zu prüfen. Durch die Forderung nach Anwenderprogrammkompatibilität für K 1600-Systeme mit dem ARP-30 sind die Systemeinbindung, die Datenformate und die Parameterübergabe weitgehend festgelegt.

2.1.4. DMA-17 (U 843)

Dieser Schaltkreis ist für die erweiterte Anwendung der DMA-Betriebsweise im E/A-Verkehr und in Multiprozessorsystemen in Verbindung mit den entsprechenden speziellen Schaltkreisen ohne DMA-Fähigkeit vorgesehen. Beim Schaltkreisentwurf wird von folgenden vorläufigen Anforderungen ausgegangen:

- Anschluß an den K 1700-Systembus mit 16 bit Datenbreite
- Cycle-stealing- oder burst-Betriebsweise
- zwei getrennt arbeitende Kanäle mit unterschiedlicher Struktur, angepaßt an die Partnerschaltkreise
- Möglichkeit der Zusammenarbeit mit den Schaltkreisen U 855, U 856, BCU-17, den zu entwickelnden Ein-Chip-8-bit-Mikrorechner (EMR) in Anschlußsteuerungen und problemspezifischen Intel-Controller-Schaltkreisen

2.1.5. BCU-17 (U 844)

Der Schaltkreis dient zur Kopplung von Rechnern und Prozessoren in Multiprozessorsystemen und Systemen mit verteilter Intelligenz. Trotz der anwendungsbedingt unterschiedlichen Anforderungen hinsichtlich Systemkonfiguration, Koppelprinzip, Datenrate, Blockgrößen und Austauschhäufigkeit besteht die Zielstellung, einen möglichst breiten Einsatzbereich abzudecken. Dem Schaltkreisentwurf liegen folgende Ausgangspunkte und Lösungsansätze zugrunde, die noch vorläufigen Charakter haben:

- Buskoppereinheit zur Bildung eines Koppelbusses im Sinne eines mehrpunktfähigen Linieninterfaces mit 8 bit Datenbreite für den Nahbereich von einigen Metern.
- LSI-gerechte Lösung durch Realisierung der gesamten Logik- und Speicherfunktionen für die Kopplung in einem Schaltkreis, minimale Anzahl von TTL-Zusatzelementen und Leitungen für den Koppelbus.
- Hohe Datenrate ohne Beeinträchtigung der Geschwindigkeit des Rechnerbusses durch Entkopplung von Rechner- und Koppelbus mittels FIFO-Puffer sowie asynchron arbeitender Koppelbus mit Quittungsspiel.
- Anschluß an K 1700-Rechner- bzw. Systembus mit 16 bit Datenbreite.
- Steuerwort- und Datenblockübertragung.
- DMA-Fähigkeit in Verbindung mit dem Schaltkreis DMA-17.
- Einsetzbar für die Kopplung K 1700-K 1700 und mit möglichst geringem Zusatzaufwand für K 1700-K 1520 und K 1700-EMR über Koppelbus.

2.1.6. PSC-17 (U 845)

Der PSC-Schaltkreis ist als schneller Parallel-Serienwandler zur Bildung eines seriellen Busses mit Zweidrahtcharakteristik vorgesehen. Er soll zum aufwandsarmen Anschluß peripherer Geräte oder Untersysteme an den Systembus K 1700 über Koaxial- oder Lichtleiterkabel dienen.

2.2. Weiterentwicklung des Schaltkreissatzes U 880 und U 84

Die Verwendung der U 880-Schaltkreise für das System K 1700 erfordert im Interesse einer hohen Systemleistung eine Weiterentwicklung entsprechend dem internationalen Stand zur Serie U 880 A mit 250 ns Taktzyklus. Außerdem bestehen Forderungen zu anwendungsspezifischen Ergänzungen des Schaltkreisspektrums (Folienspeichersteuerung, Display-/Tastatursteuerung, Mosaik-/Thermodruckersteuerung, Kombinationsschaltkreise).

Für spezielle Anwendungen werden darüber hinaus folgende Schaltkreise gefordert und für die Bearbeitung in anderen NEE-Betrieben außerhalb des Kombines Robotron vorgesehen:

- Analog-Digital-Umsetzer
- Digital-Analog-Umsetzer
- Modem
- Datenerfassungsmodul
- V24-Schaltkreis

2.3. Speicherschaltkreise

Das Systemkonzept K 1700 stützt sich hinsichtlich Variabilität, hoher Funktionsdichte und modularer Ausbaufähigkeit wesentlich auf die Verfügbarkeit eines abgestimmten Sortiments hochintegrierter Speicherschaltkreise.

Für die wahlfreie Kombination von RAM-, EPROM- und ROM-Speicherbereichen in einer Stufung von 2 KW bei Ein-Steckeinheiten-Rechnern sowie für Speicher-Erweiterungsmodulen sind pinkompatible Schaltkreise

2 K x 8 bit	SRAM,	$t_a \leq 150 \text{ ns}$
2 K x 8 bit	EPROM,	$t_a \leq 150 \text{ ns}$
2 K x 8 bit	ROM,	$t_a \leq 150 \text{ ns}$

und im Zuge der Weiterentwicklung der Technologie

2 K x 8 bit SRAM in CMOS mit $t_a \leq 150 \text{ ns}$

erforderlich.

Des weiteren werden eingesetzt

16 K x 1 bit DRAM U 256

und nach Verfügbarkeit

64 K x 1 bit DRAM U 264

Die nachfolgende Generation von Speicherschaltkreisen soll eine Systemaufwertung mit

8 K x 8 bit	SRAM	$t_a \leq 150 \text{ ns}$
und 256 K x 1 bit	DRAM	$t_a \leq 100 \text{ ns}$

ermöglichen.

Der Einsatz von Magnetblasenspeichern für spezielle Anwendungen ist in Betracht zu ziehen.

2.4. TTL-Ergänzungsschaltkreise

Zur Busrealisierung, zum Anschluß der Speicher- und E/A-Schaltkreise sowie für weitere Funktionsgruppen sind Ergänzungsschaltkreise in Schottky- bzw. Low-Power-Schottky-TTL-Technologie erforderlich. Neben den für K 1600 und nach gültiger Vorzugsliste zugelassenen Schaltkreisen werden u. a. benötigt:

- Bustreiber/-empfänger:
8 bit breit, bidirektional, Vergleichstypen I 8286/8287
- Latchregister:
8 bit breit, Vergleichstypen I 8282/8283

- Dekoder:
 - . 2 x 2 - auf - 4 Dekoder, Vergleichstyp SN748139
 - . 0,5 K x 8 bit PROM oder 1 K x 8 bit PROM, Vergleichstyp I3624 bzw. I3625
- Taktgenerator, voraussichtlich I 8284 als Vergleichstyp geeignet
- Refresh- und Steuerschaltkreis für U 264, Notwendigkeit ist abhängig von Realisierungsvariante des U 264
- Standardschaltkreise:
 - . 8 bit-Schieberegister mit Parallelausgängen, Vergleichstyp SN74LS164
 - . 2 x 4 bit-Binärzähler, Vergleichstyp SN74LS393
 - . 4 x 2 - Exklusiv- oder, Vergleichstyp SN74386.

Darüber hinaus ist als Eigenentwicklung erforderlich:

Bus-/Cache-Controller in MSI Schottky-TTL

*Zur Vervollständigung des Buszyklus,
schnelles Umschalten Treiber / Empfänger*

3. Systemkonzept

3.1. Rechnerkonfigurationen

Ausgehend von der Zielstellung für das System K 1700 wird ein einheitliches Modul- und Baugruppensystem konzipiert, das eine den Anwendungserfordernissen angepasste Realisierung von

Ein-Steckeinheiten-Rechnern (ESR)
Steckeinheiten-Modulsystemen (SMS)
Kleinrechnersystemen (KRS)

ermöglicht. Grundlage für die konstruktive Gestaltung sind

- für die Steckeinheiten das EGS-Format $215 \times 170 \text{ mm}^2$ oder Doppeleuropaformat $233,4 \times 160 \text{ mm}^2$
- für das Gefäßsystem von SMS und KRS die Einschübe und Einsätze des 19"-Systems entsprechend SKR-Standard und weitere bewährte Konstruktionen des K 1600
- für die Stromversorgung die Moduln des DEKK.

Allerdings werden damit ^{die} Möglichkeiten, die die hochintegrierten Schaltkreise für raumsparende, problemangepasste Lösungen bieten, noch nicht ausreichend genutzt.

Mit der dargestellten konstruktiven und Schaltkreis-Basis lassen sich die Systemvarianten beispielsweise in folgender Weise realisieren:

- ESR:
 - Grundvariante mit unterschiedlicher Ausstattung, gleichzeitig Zentraleinheit für die SMS-Varianten
 - anwendungsspezifische Varianten, z. B. in einer Konfiguration gemäß Bild 1.
- SMS bzw. KRS:
 - kleines System ohne MMU-17
Adressierungsraum max. 64 KByte, wahlweise mit ARP-17 (Bild 2.)
 - großes System mit MMU-17,
ARP-17 und Fehlerkorrekturmodul,
Adressierungsraum max. 4 MByte (Bild 3.)

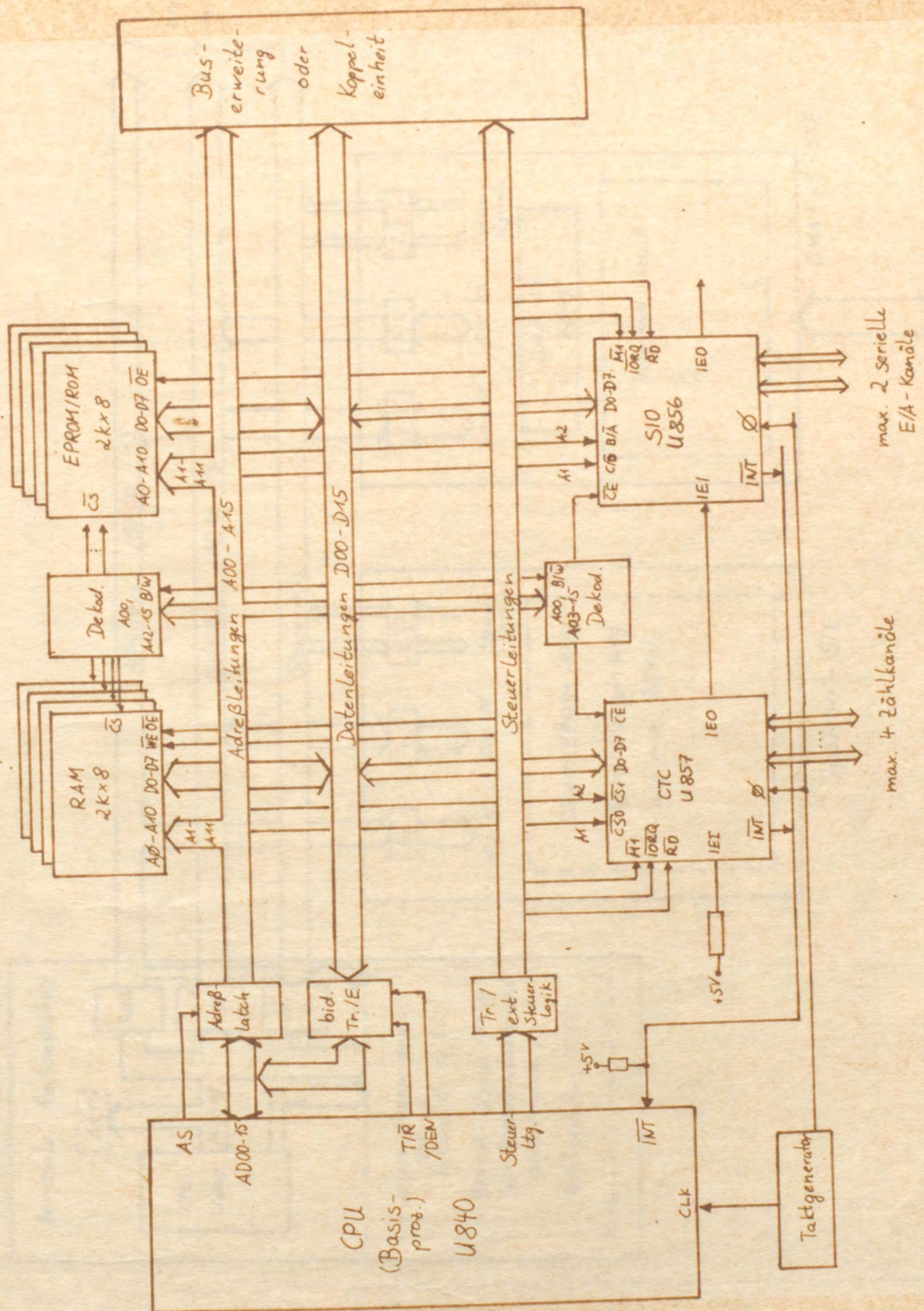


Bild 1.: Blockdarstellung einer möglichen Variante des ESR-K 1700

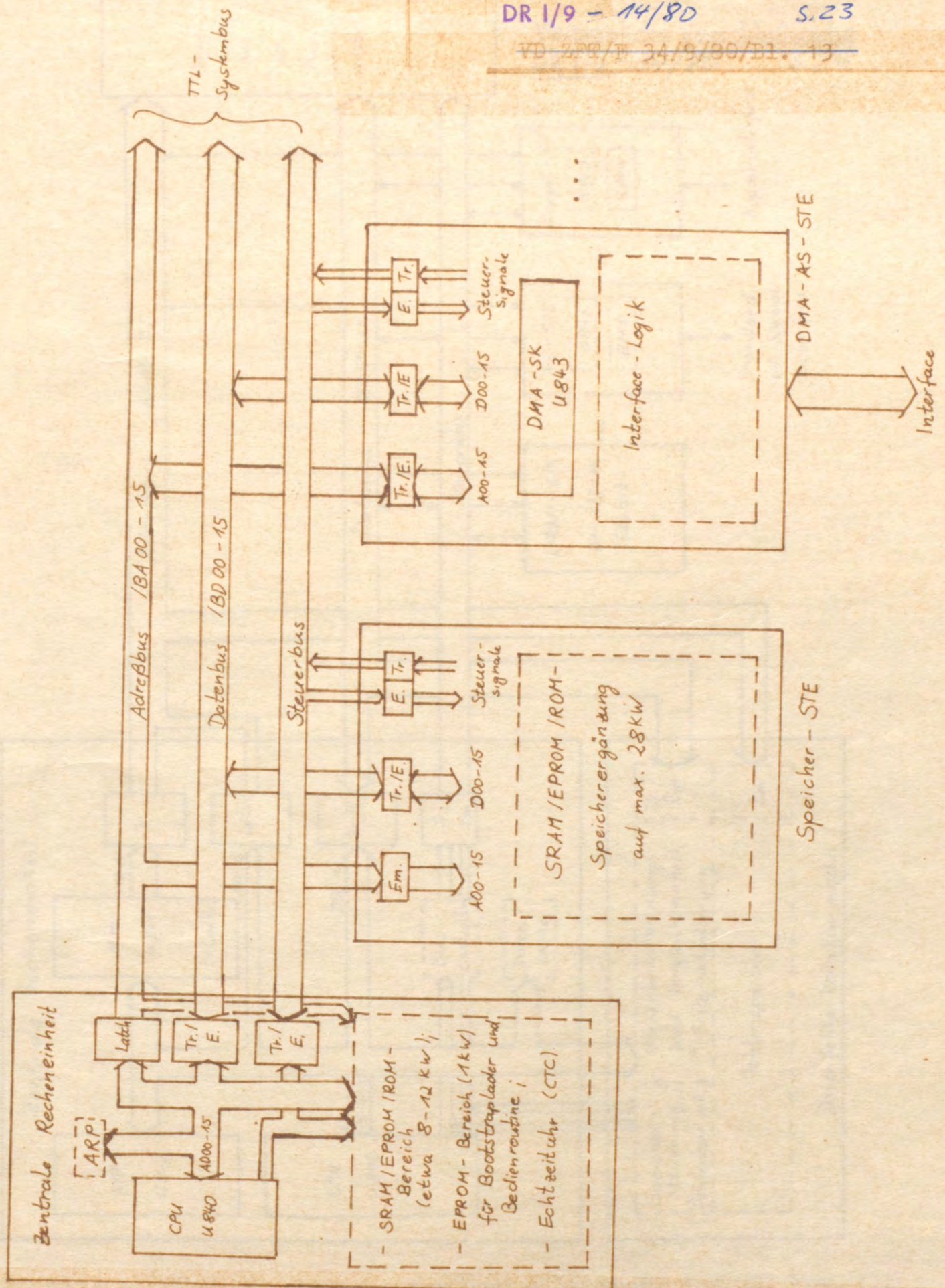


Bild 2.: Blockdarstellung der kleinen Variante des SMS bzw. KRS K 1700

Vertrauliche Verschlusssache
DR 1/9 - 14/80 S.24.

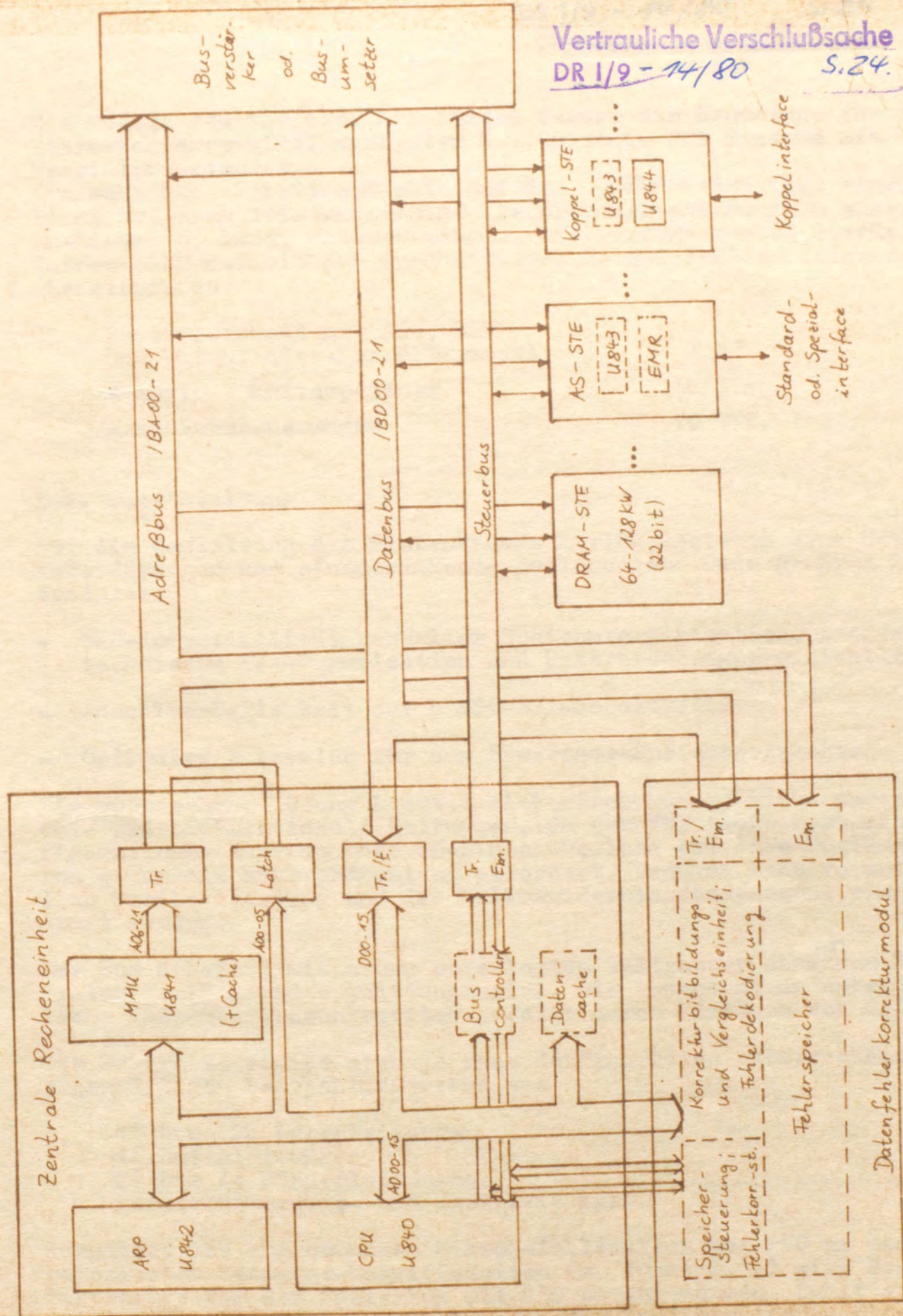


Bild 3.: Blockdarstellung der großen Variante des SMS bzw. KRS
K 1700

Die Moduln des MSM bzw. KRS bilden ferner die Grundlage für das Mikrorechnerentwicklungssystem K 1700 sowie für Systeme mit Spezialprozessoren.

Die sehr hohe Funktionsdichte auf den 3 Steck-einheiten ermöglicht es, auch leistungsfähige Kleinrechnervarianten in einem 6U-Einschub, lang, unterzubringen. Die verfügbaren 28 Steckplätze lassen nach derzeitigen Abschätzungen beispielsweise folgende Konfigurationen zu:

Zentraleinheit mit ARP, MMU und Datenfehler-Korrekturmodul	2 STE
4 MByte Arbeitsspeicher	16 STE
Anschlußsteuerungen	10 STE.

3.2. Busgestaltung

Für die Gestaltung des Systembusses K 1700 bestehen eine Reihe Anforderungen und einschränkende Bedingungen. Dazu gehören insbesondere:

- SKR-Kompatibilität bezüglich Speicherorganisation, programmtechnische E/A-Organisation und Unterbrechungsorganisation
- Anschlußmöglichkeit der U 880-E/A-Schaltkreise
- Optimaler Buszyklus für den Prozessor-Speicherverkehr.

Die vorgesehene Lösung benutzt elektrisch kurze, nicht angepasste uni- und bidirektionale Leitungen, da der für große Systemkonfigurationen ausreichende 6U-Einschub, lang nur eine Buslänge von 41 cm als Rückverdrahtung erfordert. Dadurch kann voraussichtlich Treiberleistung und die Wellenwiderstandsanpassung eingespart werden.

Der Bus arbeitet mit einem unterlegten Taktraster ohne ^{ein} den Buszyklus verlängerndes Quittungsspiel. Die Anpassung an unterschiedliche Datenübertragungszeiten erfolgt durch Einfügen von WAIT-Zyklen.

Die Busbreite ergibt sich je nach Konfiguration entsprechend dem gegenwärtigen Bearbeitungsstand aus

16 bzw. 22 Adreßleitungen
16 Datenleitungen
26 bis 44 Steuerleitungen
Stromversorgungs- und Masseleitungen.

Ausgehend von angenommenen Mikrobefehlszyklen von 250 ns und den geforderten Speicher-Zugriffszeiten (s. Punkt 2.3.) wird das Taktraster für den Systembus mit 250 ns angenommen. Damit erscheint eine minimale Buszykluszeit für Konfigurationen ohne MMU von 500 ns erreichbar.

3.3. Perspektivische Systemerweiterungen

Neben der Nutzung neuer und weiterentwickelter Speicherschaltkreise wird eine Möglichkeit zur Systemerweiterung und -aufwertung in späteren Entwicklungsstappen insbesondere durch Spezialprozessoren und anwendungsspezifische Multiprozessorkonfigurationen gesehen. Folgende Varianten sind in Betracht zu ziehen:

3.3.1. Fileprozessor

Der Fileprozessor (FP) mit zugeordnetem Arbeitsspeicher bildet durch Kopplung mit einem Verarbeitungsprozessor (VP) ein funktionsgeteiltes Zweiprozessorsystem (Bild 4.). Er hat die Aufgabe, nach Austausch der notwendigen Steuerdaten den virtuellen und logischen Blockzugriff auf solche Dateien selbständig auszuführen, die auf filestrukturierten Geräten, insbesondere Plattenspeichern abgespeichert sind. Damit soll der Leistungsbereich von Kleinrechnersystemen durch die Parallelarbeit zweier Prozessoren vor allem im Multiprogrammbetrieb erweitert werden.

Als Fileprozessor wird ein univierseller Prozessormodul des Systems K 1700 vorgesehen. Von besonderer Bedeutung ist die Wahl einer geeigneten Schnittstelle zwischen beiden Prozessoren. Durch sie wird die anteilige Arbeitslast des FP und damit dessen Effektivität sowie der notwendige Aufwand für die Erweiterung der Systemprogramme bestimmt. Hierbei besteht die Zielstellung, Anwenderprogrammkompatibilität und Aufwärtskompatibilität für Systemprogramme zu erreichen.

Der Fileprozessor bietet darüber hinaus günstige Voraussetzungen, das logische Niveau der Datenverwaltung bei Kleinrechnersystemen in einer weiteren Ausbaustufe anzuheben und Datenbankfunktionen in das Filesteuersystem bzw. Betriebssystem zu integrieren.

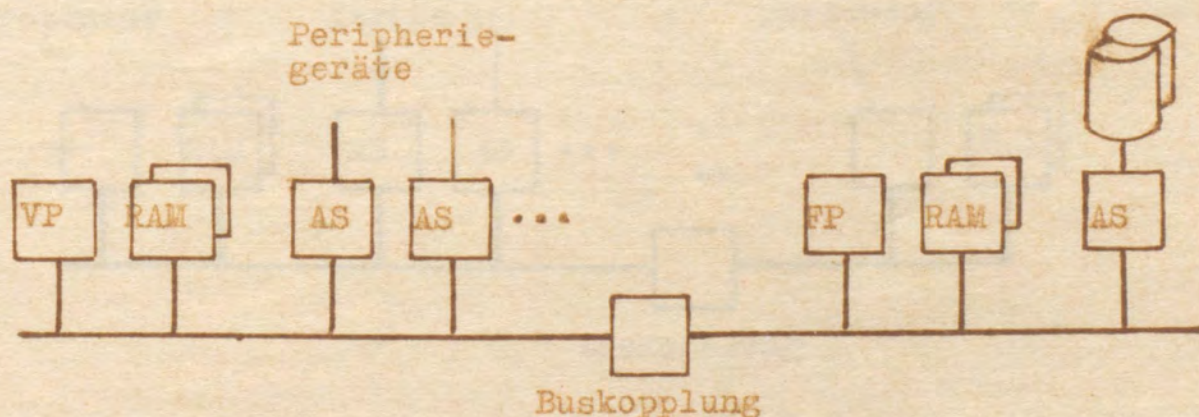


Bild 4.: Grundstruktur eines Kleinrechnersystems mit Fileprozessor

3.3.2. Sprachprozessor

Eine weitere Möglichkeit der Erhöhung der Systemleistung besteht in der gerätetechnischen Unterstützung einer oder mehrerer höherer Programmiersprachen (HLL) durch einen Sprachprozessor. Er verfügt über einen speziellen, an die Programmiersprache angepaßten Befehlssatz und könnte als Zusatzprozessor an ein K 1700-Grundsystem angekoppelt werden (Bild 5.). Er ist zusammen mit einem zugeordneten Arbeitsspeicher in der Lage, nach Übergabe vom universellen Verarbeitungsprozessor K 1700 weitgehend autonom die Programme der entsprechenden HLL oder einer geeigneten Zwischensprache abzuarbeiten.

Für das System K 1700 wird ein Sprachprozessor für PASCAL in Betracht gezogen, auf welchem nach Kompilierung in eine Zwischensprache (z. B. P-Kode) eine interpretative Abarbeitung erfolgt. Damit soll eine mehrfach höhere Verarbeitungsgeschwindigkeit für diese international stark an Bedeutung gewinnende Sprache erreicht werden. Durch ein geeignetes Sprachkonzept kann durch einen solchen Spezialprozessor auch die Dialogverarbeitung wirksam unterstützt werden.

Die Verwendung einer Zwischensprache mittleren Niveaus als Zielcode, in die die Quellsprache übersetzt wird, hat den Vorteil, daß noch eine gewisse Universalität beibehalten wird. Es wäre zu prüfen, ob gleichzeitig die Sprache BASIC unterstützt werden kann.

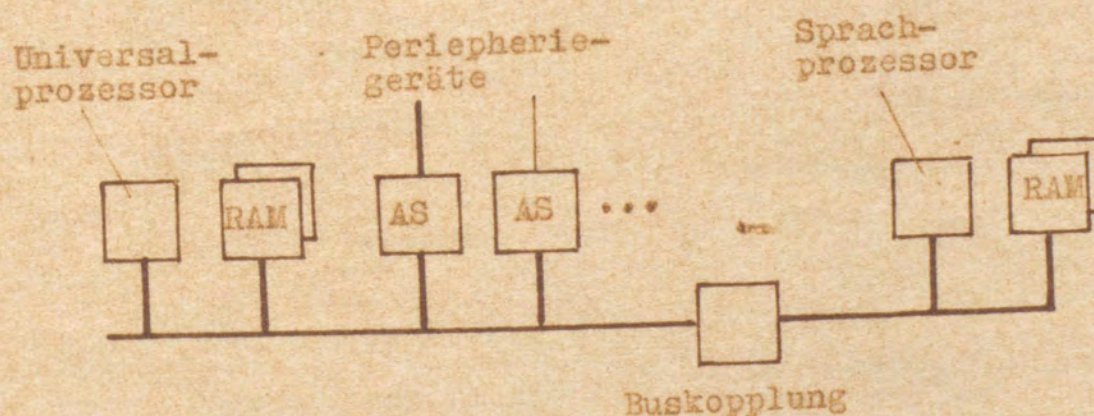


Bild 5.: Grundstruktur eines Systems K 1700 mit Sprachprozessor

3.3.3. Parallelverarbeitung

Das System K 1700 bietet wegen seiner 16 bit-Verarbeitung und einer sehr hohen mikrorechnertypischen Funktionsdichte erstmals die reale Möglichkeit, aufgabengeteilte (parallelverarbeitende) Multiprozessorsysteme mit einer größeren Anzahl von Prozessoren ökonomisch und raumsparend zu realisieren. Dabei handelt es sich um Spezialsysteme für bestimmte Aufgabenklassen, denen weitgehende parallelisierbare Algorithmen zugrunde liegen (z. B. Aufgaben, bei denen vorwiegend Differentialgleichungen zu lösen sind, etwa bei Simulationsprozessen). Mit den Systemmoduln K 1700 könnten so Verarbeitungsleistungen erzielt werden, die bezogen auf das zugeschnittene Spezialgebiet im Bereich mittlerer und großer EDVA liegen.

3.4. Soft-/Hardware-Substitution

Die Entwicklung der VLSI-Technologie und das immer ungünstiger werdende Kostenverhältnis zwischen Rechner-Elektronik und Systemunterlagen ermöglicht und erfordert, softwaremäßig realisierte Funktionen zunehmend durch Hardware zu unterstützen oder abzulösen. Dem stehen andererseits Kompatibilitätsforderungen und die erforderlichen Forschungsvorleistungen entgegen. Im Sinne der Soft-/Hardware-Substitution sind im System K 1700 zu werten:

- Zusätzliche Befehle (s. Punkt 2.1.1. und 4.1.), die mikroprogrammatisch und teilweise durch spezielle Hardwaremaßnahmen realisiert werden und zu einer Beschleunigung der Befehlsabarbeitung und zur Speicherplatzeinsparung führen. (s. Punkt 4.1.).
- Erweiterbarkeit des Speicherbereiches bis 4 MByte durch den Schaltkreis MMU-17, dadurch verbesserte Programmorganisation möglich.
- Einsatz der DMA-Betriebsweise in Verbindung mit problemspezifischen E/A-Schaltkreisen in großem Umfang, auch für mittelschnelle Geräte und Übertragungsstrecken; Wegfall sonst erforderlicher Unterbrech- und Warteschleifenprogramme.
- Erhöhung der "Intelligenz" und Eigenständigkeit von Anschlußsteuerungen und Gerätesteuerereinheiten, z. B. durch erweiterte Fehlererkennung und -behandlung, Datenpufferung mit anschließender Blockübertragung.

Als weitere Möglichkeiten, die in einer Etappe der Systemerweiterung und -aufwertung wirksam werden können, sind die unter Punkt 3.3. aufgeführten Mikroprozessorvarianten (Fileprozessor, Sprachprozessor, Parallelverarbeitung) zu betrachten. Ein weiterer Ausbau wird im Einsatz eines Assoziativspeichers für die Erstellung und Führung der Indextabellen für nicht sequentiellen Zugriff in Verbindung mit einem Fileprozessor gesehen, so daß mit einer solchen Gerätetechnik und dem Filesteuerservice (FCS) Eigenschaften des softwaremäßig weiter ausgebauten Record-Management-Service (RMS) erreichbar erscheinen.

4. Befehlsliste und Leistungsvergleich

4.1. Befehlsliste, Erweiterungen gegenüber K 1600

Die Befehlsliste K 1700 enthält alle Befehle des K 1630. Für Befehlserweiterungen muß von dem noch freien Kodierungsraum ausgegangen werden.

Die gegenwärtig aus anwendungstechnischen Untersuchungen ermittelten Befehlserweiterungen beziehen sich schwerpunktmäßig auf folgende Gruppen:

Zeichenketten- und Blockbefehle

MFPD		Transport aus vorherigem Datenbereich	
MTPD		Transport nach vorherigem Datenbereich	
BTRAN	R	Umcodieren Datenblock	} Register R enthält Stack-Adresse
BSCP	R	Vergleich Zeichenketten	
BCP	R	Suche Zeichen in Zeichenkette	

Bitbefehle

RORC	(B)	verschiebe zyklisch rechts ohne C
ROLC	(B)	verschiebe zyklisch links ohne C
LSR	(B)	verschiebe logisch rechts

TBIR		Teste Bit
CBIR		Teste Bit und lösche
SBIR		Teste Bit und setze
FBIT		Finde erstes linkes Bit
FCBT		Finde erstes linkes Bit und lösche

Erweiterung der Adreßmanipulationen

LEA S,R Lade effektive Adresse

Laden, Speichern

LDMS, LDML	Laden mehrfach
STMS, STML	Speichern mehrfach

Diese Befehle ergeben folgende Verbesserungen:

Die Blockbefehle führen zu kürzeren Ausführungszeiten gegenüber ausprogrammierten Schleifen, wenn sich eine geeignete schaltungstechnische Realisierung dieser Befehle erreichen läßt.

Einzelbitbefehle bringen erheblichen Zeit- und Speicherplatzgewinn. Außerdem vereinfacht sich die Programmorganisation, da die Befehle trotz Ausführung mehrerer Bedingungs-tests nicht unterbrechbar sind. Sie sind besonders zur unkomplizierten Abfrage von Anmelde- oder Gerätere-gistern bei der Interruptbedien-ung notwendig und erleichtern eventuell die Organisation der Ressourcenverwaltung in Mehrprozessorsystemen. Beispiel für Speicherplatzbedarf (in Byte):

Befehl	K 1700	K 1600
FBIT	2 oder 4	16 oder 18
FCBIT	2 oder 4	28 oder 32

Das Laden der effektiven Adresse ist zwar für die Adreßmodi 1, 3, 5, 7 ohne Indexregisterbenutzung durch MOV mit Adreßmodi 0, 2, 4, 6 ersetzbar, aber es beeinflusst keine Bedingungsflags.

Vorteile:

- Adreßvereinfachung komplizierter Adreßmodi auf Modus 1 (vor allem bei Indizierung) führt zu Speicherplatz- und Zeitgewinn bei mehrmaligem Zugriff zu Operanden.
- Es gibt einige Befehle, die ihre Operanden im Speicher nur mit Modus 1 adressieren können.
- Einfache Arithmetik ohne Flagbeeinflussung (Adreßrechnungen neben anderer Arithmetik möglich).
- Adreßrechnung auch innerhalb des positionsunabhängigen Programms.

Die Erweiterungen bei den Lade- und Speicherbefehlen führen zu einem erheblichen Speicherplatz- und Zeitgewinn beim Retten und Rückschreiben der Register. Damit ist eine Beschleunigung von Interruptbedienungen und der Unterprogrammorganisation möglich.

Weiterer Vorteil: Transport erfolgt ohne Beeinflussung der Bedingungsflags.

4.2. Leistungsvergleich

- 4.2.1. Die Leistung des konzipierten K 1700 wird verglichen mit den Mikroprozessoren Z 8000 und M 68000 sowie mit K 1620, K 1630, KRS 4201 und den SKR-Rechnern SM 3, SM 4.

Basis des Leistungsvergleiches ist das im SKR abgestimmte methodische Material MM SKR 019-78. In diesem Material werden für MIX-Kennzahlen Gewichte der algorithmischen Elemente bei folgenden drei Aufgabenklassen festgelegt.

- Der Index-Fetch wurde voll eingerechnet und bildet somit einen Ausgleich für den nichtüberlappten Fetch.
- Die Werte für die verwendeten Befehlsabarbeitungszeiten sind grobe Abschätzungen, da die schaltungstechnische Umsetzung im Detail noch nicht erfolgt ist.
- Für den Zugriff zu Speicheroperanden wird, falls kein spezieller Adressierungsmodus angegeben ist, der Modus 6 angenommen.
- Für die Leistung in Abhängigkeit von der Bitrate H (bei eventuellem Einsatz eines Caches) wird deren Einfluß auf die Zahl der notwendigen Buszyklen als linear angenommen.

K 1620 / K 1630 + ARP 30

- Wenn nicht explizit angegeben, wird der Adreßmodus 6 zugrunde gelegt.

4.2.5. Die zahlenmäßige Gegenüberstellung ist den Tabellen zu entnehmen.

4.2.6. Schlussfolgerungen für K 1700 aus dem Leistungsvergleich

1. Der K 1700 erreicht in seinem geplanten Leistungsparametern etwa den gegenwärtigen Welthöchststand (MC 68000) bzw. übertrifft ihn (Z 8000). Gegenüber den Vorgängersystem K 1600 erreicht er bezüglich der dort angegebenen PH-Werte einen entscheidenden Leistungszuwachs (etwa Faktor 4 - 5) und neue Gebrauchseigenschaften (Arbeitsspeicher bis 4 MByte, neue Zusatzbefehle, Kopplungsmöglichkeiten u.a.). Um die geplanten Parameter zu erreichen, sind folgende Voraussetzungen von der technischen Seite zu gewährleisten:
 - voraussichtlich notwendiger Integrationsgrad
40 - 50.000 Transistor/Chip
 - Erzielung eines 250 ns-Grundzyklus (Mikrobefehlszyklus)
 - Die Buszykluszeit erweist sich als eine wesentliche Begrenzung bei der Erreichung der geplanten Verarbeitungsgeschwindigkeit. Zur optimalen Realisierung des Systembusses macht sich die Eigenentwicklung von mindestens einem MSI-Schottky-TTL-Schaltkreis sowie die Nutzbarkeit von weiteren Schottky-TTL-Schaltkreisen (insbesondere Buselementen) erforderlich, die z.Z. nur im NSW existieren. Importmöglichkeiten im Rahmen des RGW sind noch unklar.
 - Um insbesondere im wissenschaftlich-technischen Anwendungsbereich zu einer höheren Leistungsfähigkeit zu kommen, ist die Realisierung eines Arithmetikprozessor-Schaltkreises notwendig (Integrationsgrad = 60.000 Transistor/Chip), der zum Arithmetikprozessor des K 1630 kompatibel ist.
2. Eine weitere Leistungssteigerung (bei Beibehaltung der Kompatibilitätslinie) erscheint technisch möglich durch:
 - Übergang zu 64 Pin-Gehäusen (getrennte Adreß-/Datenleitungen und damit Verkürzung des Buszyklus)
 - Realisierung des Speichermanagements auf dem Chip des Basisprozessors (Verkürzung der Adreßumsetzungszeit); Voraussetzung: 64 Pin-Gehäuse und Integrationsgrad ca. 70.000 Transistor/Chip.

Vertrauliche Verschlusssache
DR 1/9 - 14/80 S. 35

Tabelle 1: Prozessorleistung nach SKR - MIX (in 1000 Befehlen/s)

$H = 0,5 \dots 1$

Aufgabe	MC68000	Z 8000	K 1700 ⁺)	K 1620 ⁺)	K 1630 (+ARP) +)	CM-3	CM-4	KRS 4201
O S	653	306 - 354	385 - 503	86	107 (152)	145	314	110
W T	130	78	70 - 83	19	23 (81)	-	130	-
O K	158 - 255	142 - 204	198 - 276	26 - 44	35 - 61 40	64	137	63

$n/2$

+) Werte der Befehlsarbeitungszeiten geschätzt (vergl. 4.2.4.)

Tabelle 2: Leistungsrelationen bezogen auf K 1620

Aufgabe	MC 68000	Z 8000	K 1700		
			KRS (H=0)	SMS (H = 0,5)	ESR (H = 1)
O S	7,6	3,6-4,1	3,6	4,5	5,8
W T	6,8	4,1	3,2	3,7	4,4
Ö K	5,8-6,1	4,6-5,5	3,6-5,2	4,7-6,5	6,6-8,8

Die Leistungsunterschiede der K 1700-Systemvarianten lassen sich eventuell durch einen Cache-Speicher ausgleichen. Abhängig zum Zugriffserfolg (Hitrate H) kann der KRS (für H = 1) die Leistung des ESR annehmen. Die Absolutwerte der Operationsgeschwindigkeiten des K 1700 mit Cache sind folgender Tabelle entnehmbar:

Tabelle 3: Leistung des KRS (mit MMU und Cache bei unterschiedlichen Hitraten)

		H = 0	H = 0,5	H = 1
O S		312	385	503
W T		60	70	83
Ö K	B	134	170	230
	n/2	154	200	276
	W	160	206	290

Aktivitätenliste

1	i	Aktivität	Dauer (Mon.)
A	0	Vorlaufforschung Rechnerstrukturen, Schaltkreistechnologie, Entwurfsverfahren	30
0	1	Systemvorgaben; Abstimmung mit Anwendern und SK-Herstellern; A 1-Unterlagen	6
1	2	Grobentwurf des Gesamtrechners, Aufteilung auf SK	10 - 12
1	3	Systementwurf (Prozessor, Speicher, E/A-System, BUS, Mehrprozessorkopplung, Anschluß von Spezialprozessoren)	
1	10	Parallele Mitarbeit des SK-Entwerfers; Zeit- und Flächenabschätzungen, Überprüfung des Grobentwurfes auf technologiefreundliche Ausführung der Funktionskomplexe; Entwurf von Teststrukturen; Präzisierung der Zeit- und Integrationsgradangaben mit dem IMD.	-
2	7	LFK 1 (Anschlußbeschreibung für alle SK einschl. Ablaufdiagramme; vollständiges Blockschaltbild mit genauer Beschreibung der Funktion und Wechselbeziehungen der Blöcke, internes Verbindungssystem und dessen Belegungsdiagramme; Mikrobefehlsliste mit Flagdefinition, UB-System, Statusregister, Prioritätslogik; Setz- und Löschbedingungen für alle PF sowie deren maximale Speicherdauer; Zeitforderungen für alle internen Abläufe; Struktur des Mikroprogramm-Steuerwerkes, dessen Speicherkapazität; Maschinenbefehlsliste und alle Mikroprogrammabläufe; Taktverteilung)	5 - 6
3	6	Beginn der Systemsimulation auf Basis SDL und der SK-Grobentwürfe; die Simulation beginnt mit beschriebenen Komplexen, deren Inhalt schrittweise verfeinert wird.	-
4	1	Technologie-Kennwerte für Grobentwurf (Gatterlaufzeiten, Integrationsgrad, Kennwerte für dyn. Simulation)	-

Vertrauliche Verschlusssache

DR 1/9 - 14/80 S.40.

VD ZPT/E 34 / 4 / 80 / . / Bl. 4

i	i	Aktivität	Dauer (Mon.)
4	5	Erstellung und Ausmessung von Teststrukturen auf Basis von Anforderungen aus dem Grobentwurf	-
6	8	Systemsimulation auf Basis der logischen Feinkonzepte der Schaltkreise	-
7	9	LPK 2; Simulation des LPK 1	-
7	14	Vorbereitung K 1-Verteidigung	-
9	12	Bestätigtes Feinkonzept als Basis für den Transistorentwurf	-
10	11	Entwurf von Funktionskomplexen auf Gatter-Niveau	-
11	12	Abschluß des Gatter-Entwurfes aller FK	3 - 4
12	13	Transistorentwurf aller FK	4
13	15	Transistorentwurf des gesamten SK	3
13	18	Dimensionierung Transistorentwurf und Layout-Entwürfe für Funktionskomplexe	-
14	16	Rechnerentwurf 1 (auf Basis LPK 2)	-
15	17	Simulation des Gesamt-Transistor-Entwurfs	6
16	19	Rechnerentwurf 2 (Überarbeitung des Rechnerentwurfs 1 auf Basis Transistor-entwurf)	-
17	21	Prüffolgen für die Schaltkreisprüfung	-
18	20	Layout-Entwurf (nachträgliche Mikroprogrammänderung muß möglich sein)	7
19	20	letzte Änderung für Mikroprogramme	-
20	21	Einarbeitung Mikroprogramm-Belegung in layout	1
21	22	SK - Präparation	4
22	23	2. Iteration für Schaltkreise (Basis für K 2-Muster)	7
24	25	Einarbeitung der Ergebnisse des K 2-Tests in den Transistorplan	4 - 5
24	26	K 2 - Test des Rechners	-
25	27	K 5 - Überarbeitung der SK (3. Iteration)	7
26	27	K 3 - Dokumentation, K 4 - Musterbau	-
27	28	K 5 - Test des Rechners	7
28	29	K 5.0 - bzw. K 8.0 - Überarbeitung	10

Vertrauliche Verschlusssache
DR 1/9 -14/80 S. 41.

Stand 1/80

